

CoolRunner™-II

Jedną z najpoważniejszych wad współczesnych układów programowalnych (PLD) jest stosunkowo duży pobór mocy. Wynika on z ich budowy wewnętrznej, opartej na analogowych wzmacniaczach-komparatorach, które zapewniają dużą szybkość pracy układów, ale powodują znaczny wzrost pobieranej energii.

Wadą tę udało się wyeliminować inżynierom z francuskich laboratoriów firmy Philips, którzy w 1996 roku opracowali układy PLD, których konfigurowalne matryce logiczne są wykonywane w technologii FZP (Fast Zero Power).

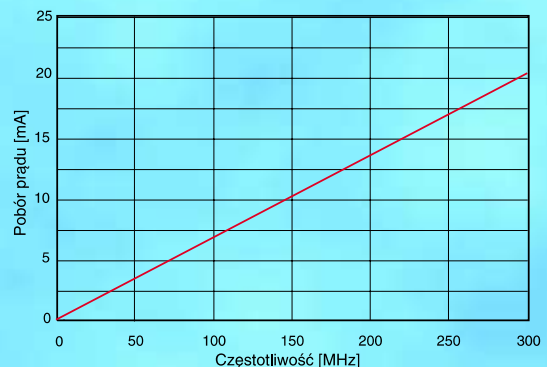
Kilka tygodni temu firma Xilinx, która przejęła grupę PLD firmy Philips, wdrożyła do masowej produkcji układy PLD kolejnej generacji, produkowane w tej nowoczesnej technologii - CoolRunner II. Ich architekturę przedstawiamy w artykule.



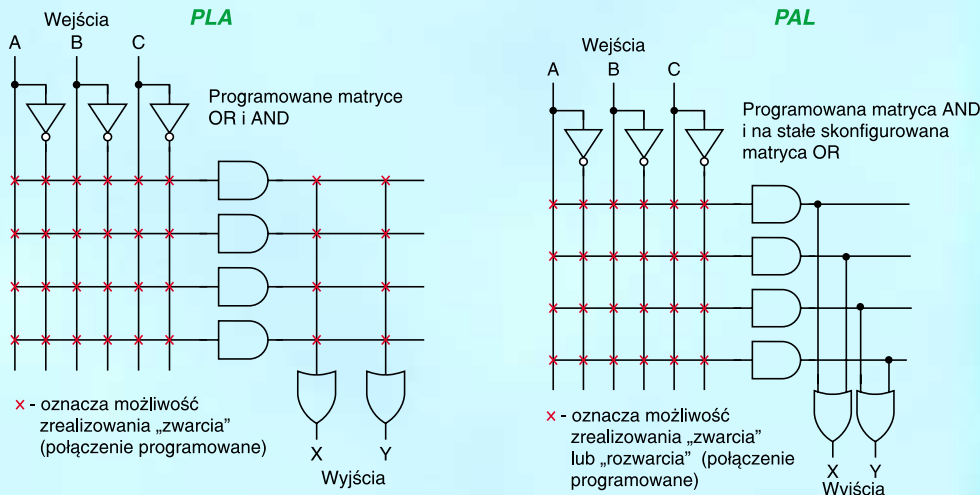
Nowa generacja układów CPLD

Układy CoolRunner wzięły swoją nazwę od znikomo małego poboru prądu, przy jednocześnie dużej szybkości pracy. Philips reklamował je prezentując działanie prostego licznika wykonanego na jednym z układów tej serii z dołączonym wyświetlaczem LCD - cały zestaw był zasilany z ogniwa chemicznego, którego elektrody były wbite w grejpfrut. Doświadczenie powtórzyliśmy w redakcyjnym laboratorium - okazało się, że rzeczywiście jest to możliwe! Ograniczenie poboru prądu przez układ było możliwe dzięki zastosowaniu opracowanej przez firmę Philips technologii konfigu-

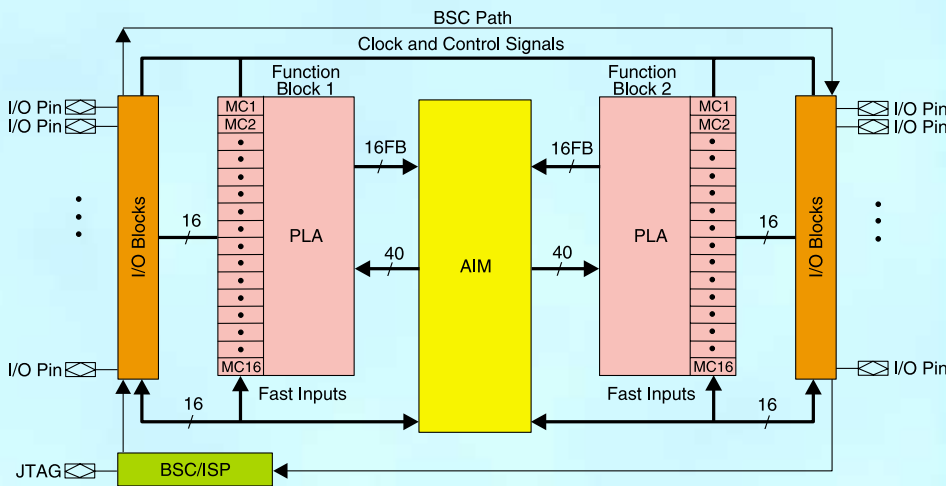
rowania matryc logicznych w układach PLD w sposób całkowicie cyfrowy (FZP), w związku z czym stosowanie analogowych wzmacniaczy-komparatorów pobierających stosunkowo dużo prądu przestało być konieczne. O oszczędnościach energetycznych uzyskanych dzięki tej technologii niech świadczy wykres pokazany na rys. 1. Zilustrowano na nim pobór prądu w funkcji częstotliwości taktowania przez układ X2C64, z którego wynika, że przy częstotliwości zegara taktującego 50MHz pobór prądu wynosi zaledwie 3,6mA, przy 100MHz - 7,6mA. W trybie pracy sta-



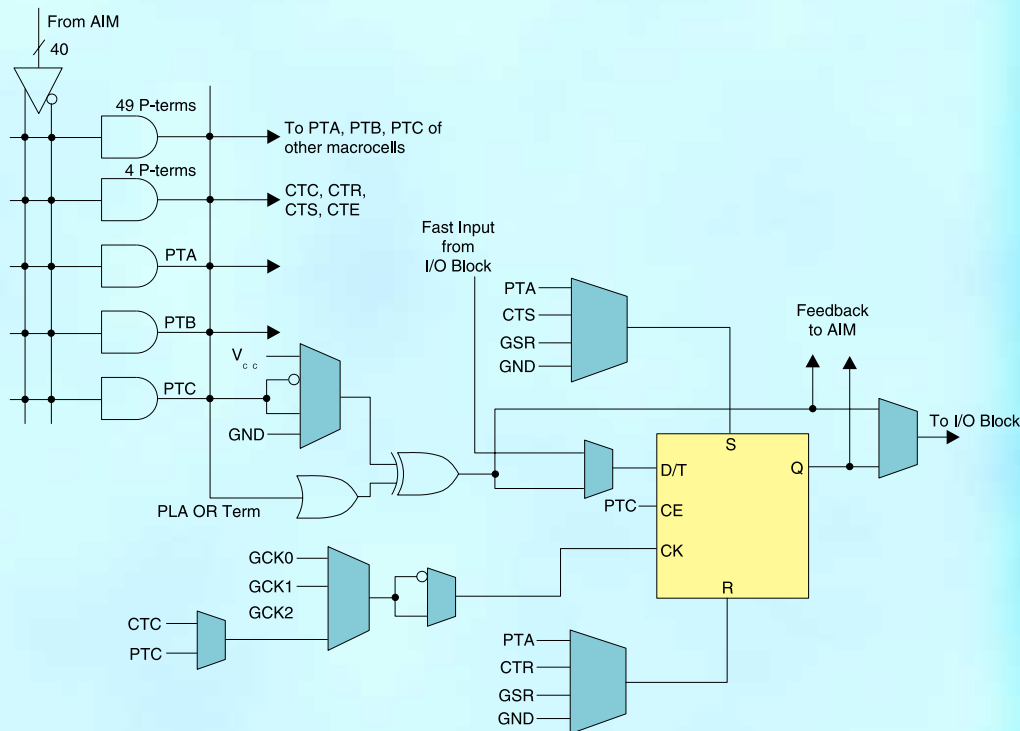
Rys. 1.



Rys. 2.



Rys. 3.

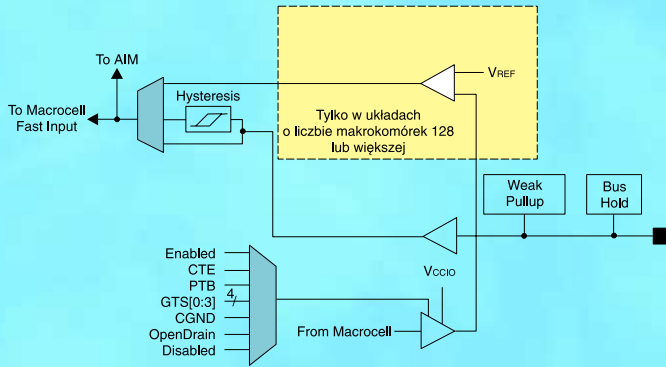


Rys. 4.

tycznej pobór prądu nie przekracza 800µA, co powoduje, że układy *CoolRunner II* stają się naprawdę alternatywne do klasycznych rozwiązań na elementach dyskretnych. Jest tylko jedno „ale”: ze względu na zastosowanie do produkcji tych układów ultranowoczesnej technologii półprzewodnikowej (0,18µm!) ich napięcie zasilania wynosi 1,8V. Ich stosowanie w naszej 5-woltowej rzeczywistości nieco ułatwia fakt, że wszystkie wyprowadzenia I/O są przystosowane do współpracy z otoczeniem zasilanym napięciem o maksymalnej wartości 3,6V. Nie rozwiązują to oczywiście wszystkich problemów, ale musimy się liczyć z tym, że współczesna elektronika staje się coraz bardziej „niskonapięciowa”.

Architektura rodziny CoolRunner II

Układy *CoolRunner II* ze względu na swoją złożoność należą do grupy CPLD (*Complex Programmable Logic Devices*), czyli układów programowalnych o dość dużych zasobach logicznych. Ich architektura jest nieco odmienna od większości układów dostępnych na rynku, ponieważ funkcje logiczne są tworzone w matrycy PLA, a nie PAL jak w większości współcześnie oferowanych układów CPLD. Różnice pomiędzy tymi matrycami pokazano na rys. 2. Jasno z niego wynika, że PLA są bardziej elastyczne, a to ze względu na możliwość programowania połączeń zarówno w matrycy wejściowej (na wejściach bramek AND) jak i wyjściowej (na wejściach bramek OR). Producenci układów programowalnych dość szybko zarzucili stosowanie w swoich układach matrycy typu PLA ze względu na ich spore rozmiary w strukturze układu i wiążące się z nimi opóźnienia w propagacji sygnałów. W układach *CoolRunner* wada ta przestała być istotna, a to ze względu na zastosowanie technologii FZP.



Rys. 5.

Na rys. 3 pokazano architekturę układów CoolRunner II na przykładzie architektury układu X2C32. Makrokomórki logiczne *MC* są pogrupowane po 16 w bloki funkcjonalne *Function Block*, a sygnały dostarczane na ich wejścia są wytwarzane w programowalnej matrycy PLA. Połączenia pomiędzy blokami funkcjonalnymi zapewnia matryca AIM (*Advanced Interconnect Matrix*), która dostarcza do każdej PLA 40 sygnałów, a zwrotnie z każdego bloku funkcjonalnego dociera do niej 16 sygnałów. Jakkolwiek, dzięki specyficznej budowie, AIM nie wprowadza istotnego opóźnienia w propagacji sygnałów, twórcy układów *CoolRunner II* przewidzieli dodatkowe 16 dwukierunkowych, szybkich linii przekazujących sygnały pomiędzy matrycą AIM, a makrokomórkami i komórkami I/O (*I/O Blocks*).

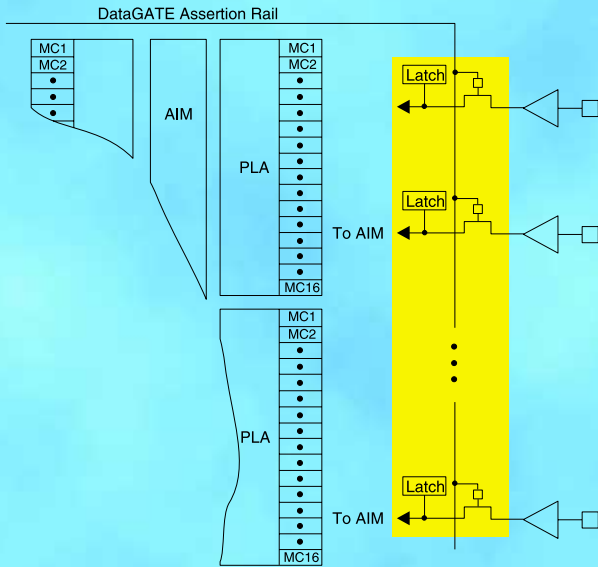
Budowę makrokomórki układu *CoolRunner II* pokazano na rys. 4. Charakteryzuje się ona dużą uniwersalnością, którą zwiększa możliwość skonfigurowania przerzutnika do trybu pracy *DualEDGE*, w którym przekaźnik reaguje na obydwie zbocza sygnału zegarowego -

rzecz niespotykana w jakichkolwiek innych układach PLD tej klasy.

W wymianie informacji pomiędzy otoczeniem układu i makrokomórkami uczestniczą także konfigurowalne komórki I/O, których budowę pokazano na rys. 5. W układach o liczbie komórek powyżej 128 wbudowano komparator analogowy z wewnętrznym źródłem napięcia odniesienia, dzięki czemu interfejs wejściowy jest zgodny ze standardami HSTL-1, SSTL2-1 i SSTL3-1. W przypadku, gdy układ pracuje w otoczeniu o dużym poziomie zakłóceń, przydatny może się okazać wejściowy przerzutnik Schmitta (z histeresez), który można włączyć w tor sygnału wejściowego. Jak wcześniej wspomniano, bufony I/O w układach *CoolRunner II* są przystosowane do współpracy z układami zasilanymi napięciem innym niż rdzeń układu. Konieczne więc było rozdzielenie obwodów zasilania buforów od obwodu zasilania rdzenia układu. Z tego powodu na rys. 5 narysowano linię doprowadzającą zasilanie bufora I/O, oznaczona V_{CCIO} . Aby zapewnić możliwość stosowania tych układów w urzą-

Tab. 1. Zestawienie wybranych parametrów układów z rodziny CoolRunner II

Parametr	XC2C32	XC2C64	XC2C128	XC2C256	XC2C384	XC2C512
Liczba makrokomórek	32	64	128	256	384	512
T_{pd} [ns]	3,5	4,0	4,5	5,0	6,0	6,0
f_{SYS} [MHz]	303	270	244	222	204	204
Liczba rejestrów	32	64	128	256	384	512
Liczba banków I/O	1	1	2	2	4	4



Rys. 6.

dzeniach, w których zastosowano kilka napięć zasilania (dla poszczególnych fragmentów urządzenia), w układach o 128 i 256 makrokomórkach, komórki I/O podzielono na dwa niezależnie zasilane banki, natomiast w układach o 384 i 512 makrokomórkach są aż cztery niezależnie zasilane grupy komórek I/O (banki). Dzięki temu jest możliwe zastosowanie układów *CoolRunner II* m.in. w roli interfejsów napięciowych pomiędzy systemami zasilanymi napięciami (przykładowo) 2,5 i 3,3V, czy też 1,5 i 2,5V lub w innej ich kombinacji, oczywiście w zakresie napięć dopuszczalnym.

Interesującym, a do tego niespotykanym w innych układach PLD rozwiązaniem zastosowanym w tych *CoolRunnerach* są dodatkowe bramki-klucze (*DataGATE*) włączone pomiędzy bufory wejściowe i wejścia matrycy AIM (rys. 6). Są one sterowane jednocześnie za pomocą sygnału cyfrowego podawanego na linię *DataGATE Assertion Rail*, który może być doprowadzany z wybranego wyprowadzenia układu lub może być także wytwarzany w którejś z makrokomórek. Zastosowanie tych kluczy umożliwia odcięcie w określonych przez użytkownika sytuacjach wnętrza układu od zmian sygnałów na wyprowadzeniach (stany

poprzednie są podtrzymywane w przerzutnikach *Latch*), dzięki czemu prąd pobierany przez układ jest minimalizowany. Projektant układu ma oczywiście możliwość wybrania, które linie wejściowe mają być w ten sposób separowane, a które nie.

Kolejną nowością, na którą warto zwrócić uwagę w układach *CoolRunner II* jest wbudowanie w nie dzielnika częstotliwości zegarowej o współczynniku podziału programowanym na jedną z wartości: 1:2/4/6/8/10/12/14/16. Podziałowi może być poddany sygnał podany na wejście zegarowe *GCK2* (rys. 7), który następnie jest rozprowadzany wewnątrz układu globalnymi liniami zegarowymi. Ponieważ zmniejszenie wewnętrznej częstotliwości taktowania ma



Tab. 2.

Parametr	CoolRunner II	CoolRunner XPLA3	XC9500 XL/XV
Napięcie zasilania rdzenia [V]	1,8	3,3	3,3/2,5
Podział I/O na banki	+	-	-/+
Liczba globalnych sygnałów zegarowych	3	4	3
Zaawansowane sposoby „obróbki” sygnału zegarowego	CoolCLOCK, dzielnik częstotliwości, DoubleEDGE	-	-
Standardy I/O	LVTTL, LVCMOS, HSTL, SSTL	LVTTL, LVCMOS	LVTTL, LVCMOS
Liczba makrokomórek	32...512	32...512	36...288

wyraźnie korzystny wpływ na wartość prądu pobieranego przez układ, ale jednocześnie obniża jego szybkość pracy, twórcy *CoolRunnerów II* przewidzieli następującą możliwość obniżenia poboru mocy przy utrzymaniu szybkości pracy układu: częstotliwość sygnału zegarowego jest dzielona w dzielniku wejściowym, a przerzutniki w makrokomórkach pracują w trybie *DualEDGE*. Jeżeli w takim przypadku częstotliwość sygnału zegarowego jest dzielona przez 2, to układ z punktu widzenia użytkownika pracuje tak szybko, jakby nie była ona dzielona, a pobór mocy spada. Taką konfigurację producent nazwał *CoolCLOCK*.

Równie przydatnym, lecz już klasycznym, wyposażeniem układów, znacznie zwiększającym współczynnik wykorzystania zasobów logicznych, są 3 linie globalnych sygnałów zegarowych, uniwersalna linia SET/RESET oraz cztery (maksymal-

nie), także globalne, sygnały uaktywniające trójstanowe bufory wyjściowe.

CoolRunner II - kwintesencja nowoczesności

Jak widać z powyższego opisu, inżynierowie firmy Xilinx włożyli sporo pracy w opracowanie rodziny układów *CoolRunner II*. Ponieważ ich pamięć konfiguracyjna jest typu Flash (*FastFlash*), przewidziano oczywiście możliwość ich programowania

Dodatkowe informacje

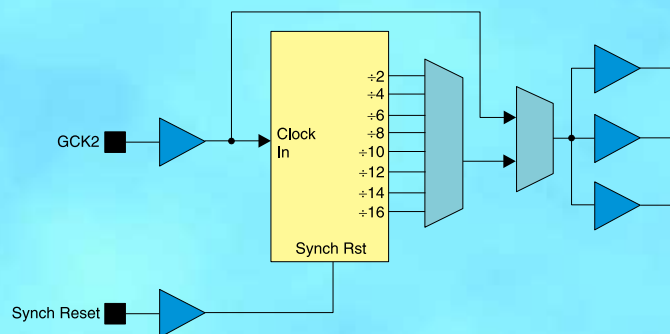
Dodatkowe informacje o układach *CoolRunner II* można znaleźć w Internecie pod adresem:

http://www.xilinx.com/publications/products/cool2/ds_pdf/ds092.pdf, a także na płycie CD-EP3/2002B.

Polskim dystrybutorem układów firmy Xilinx jest Memec Insight, tel. (32) 238-03-60, <http://www.atest.com.pl/insight.htm>.

Uwaga! Obecnie jedynym pakietem narzędziowym umożliwiającym realizację projektów z układami *CoolRunner II* jest bezpłatny *WebPack ISE v. 4.1WP30*, dostępny po przednim zarejestrowaniu się na stronie www.xilinx.com w dziale *Support->Software->WebPack*.

Ponieważ objętość pliku instalacyjnego z kompletnym oprogramowaniem (w tym symulator VHDL/Verilog ModelSIM) wynosi aż 151MB zamieściliśmy je na naszej płycie CD-EP3/2002B. Archiwum zostało zaszyfrowane - hasło jest udostępniane bezpłatnie po wysłaniu e-maila na adres cd@btc.pl z następującymi danymi: imię i nazwisko, nazwa i adres firmy, telefon kontaktowy i adres e-mail. Informacje te zostaną niezwłocznie przekazane firmie Memec Insight Sp. z o.o. i nie będą udostępniane nikomu innemu.



Rys. 7.

owania w systemie. I tu prawdziwa nowość: zastosowano w nich bowiem interfejs umożliwiający zarówno testowanie układów w systemie (BST - *Boundary Scan Testing*) jak i ich programowanie (ISP - *In System Programming*). W trybie BST jest on całkowicie zgodny z JTAG-iem (IEEE1149), natomiast w trybie programowania z najnowszym interfejsem ISP, opisanym w normie IEEE1532. Dzięki te-

mu możliwe jest uzyskanie znacznie doskonalszego niż w klasycznych układach ISP zabezpieczenia pamięci konfigurującej układu przed nieuprawnionym odczytem. Skrócono także czas programowania układu, na co pozwalają mechanizmy wymagane przez IEEE1532, oraz zwiększona maksymalna dopuszczalna częstotliwość taktowania interfejsu JTAG do 66MHz. Programowanie pamięci konfigurującej jest oczy-

wicie możliwe przy nominalnym napięciu zasilania wynoszącym, jak już wcześniej wspomniano, zaledwie 1,8V.

W **tab. 1** zestawiono podstawowe parametry układów tworzących rodzinę *CoolRunner II* (według danych producenta, w pierwszych

dniach lutego dostępne były tylko układy X2C64), a w **tab. 2** zawarto porównanie najważniejszych właściwości układów z rodzin *CoolRunner II*, *CoolRunner XPLA3* oraz *XC9500XL/XV*.

Piotr Zbysiński, AVT
piotr.zbysinski@ep.com.pl

