

# Oprogramowanie projektowe dla układów ISP firmy Xilinx



Tematyka związana z układami PLD, a także konstrukcje wykorzystujące te nowoczesne podzespoły dość często goszczą na naszych łamach. Nieco rzadziej prezentujemy narzędzia projektowe umożliwiające samodzielną realizację projektów w strukturach programalnych.

Lukę tą wypełniamy opisem pakietu oprogramowania przygotowanego przez firmę Data I/O dla jednego z największych producentów układów programalnych średniej i dużej skali integracji - amerykańskiej firmy Xilinx.

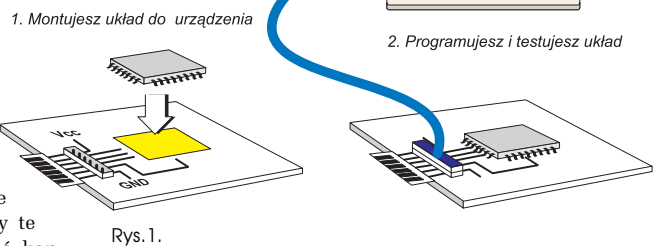
Układy programalne w chwili pojawienia się po raz pierwszy na rynku (było to prawie 30 lat temu!) były elementami trudnymi w zastosowaniu i pobierały bardzo dużo energii. Ze względu na brak prostych w obsłudze narzędzi do projektowania ich wnętrza, budowanie urządzeń z wykorzystaniem choćby najprostszyc struktur PLD było zajęciem tylko dla najbardziej wtajemniczonych elektroników, uchodzących często za środowiskowych guru.

W chwili obecnej sytuacja wygląda zupełnie inaczej - różnorodnych narzędzi projektowych jest duży wybór, są one łatwe w obsłudze, coraz doskonalsze są także same układy programalne.

Jedną z najbardziej interesujących nowości ostatnich lat są struktury programowane w systemie - ISP. Układy te charakteryzuje możliwość konfiguracji wnętrza wielokrotnie i to po zamontowaniu układu na płycie drukowanej budowanego urządzenia (rys.1). Większość układów ISP programowana jest poprzez interfejs szeregowy zgodny ze standardem JTAG. Przy pomocy tego interfejsu możliwe jest programowanie wielu układów jednocześnie, możliwe jest także testowanie struktury przed i po zaprogramowaniu.

Firma Xilinx pod koniec ubiegłego roku wprowadziła do sprzedaży własną rodzinę układów ISP noszącą oznaczenie XC9000. Są to układy kwalifikowane do grupy CPLD, co oznacza, że ich architektura jest zbliżona do standardowych układów PAL (np. GAL16/20V8, itp.), lecz pojemność wewnętrzna (ilość makrocel i termów wejściowych w każdej z nich) jest znacznie większa (rys.2). Ze względu na bardzo dobre parametry elektryczne, dynamiczne i niską cenę układy XC9500 są bardzo atrakcyjną alternatywą standardowych układów GAL16/20V8. GAL22V10 - zwłaszcza, że najprostszyc układ XC9536 (36 makrocel) jest odpowiednikiem min. 4 układów GAL16V8.

O układach rodziny XC9000 pisaliśmy w EP9/96 w dziale „Nowe podzespoły“.



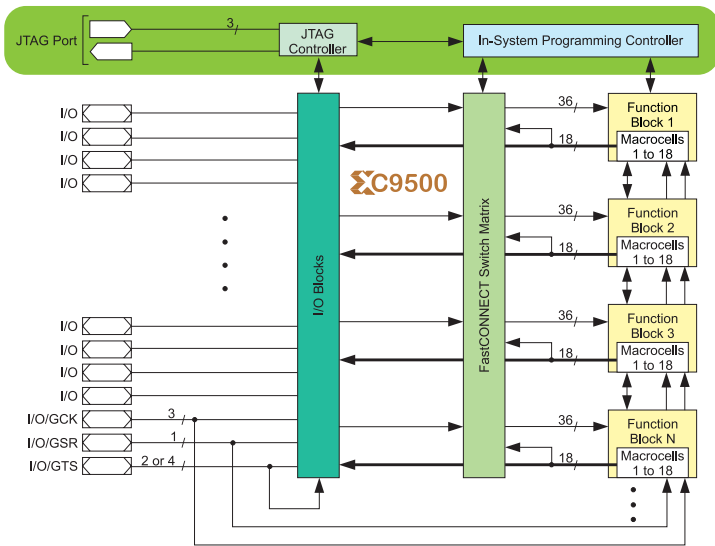
Rys.1.

## XABEL CPLD

Prezentowany w artykule system projektowy (oznaczenie katalogowe DS-571) zawiera wszystkie elementy niezbędne do realizacji projektów z układami CPLD serii XC9500 oraz XC7300 (zbliżone do XC9500, lecz do programowania niezbędny jest specjalny programator).

### Wymagania sprzętowe pakietu DS-571

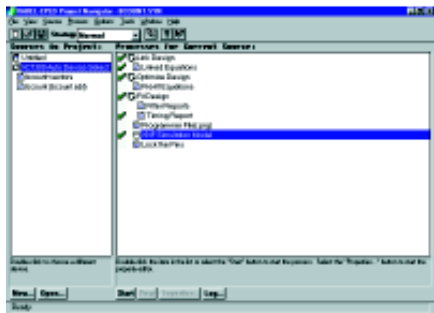
- komputer PC z procesorem min. 486DX (zalecane Pentium),
- system operacyjny Windows 3.1 (wymaga instalacji Win32s) lub Windows 95/NT,
- ok. 46MB wolnego miejsca na twardym dysku,
- minimum 16MB pamięci RAM,
- napęd CD-ROM zgodny ze standardem ISO9660,
- jeden wolny port równoległy do podłączenia programatora układów ISP.



Rys.2.

Oprogramowanie wchodzące w skład zestawu wymaga zastosowania systemu operacyjnego Windows 95/NT, możliwe jest także wykorzystanie go ze starszymi wersjami Windows 3.1/3.11, wymaga to jednak zainstalowania nakładki 32-bitowej, która znajduje się na płycie CD-ROM.

Poruszanie się po projekcie umożliwia przejrzysty shell, którego okno przedstawiamy na rys.3. W lewej części okna pokazana jest struktura logiczna projektu (wraz z zależnościami hierarchicznymi), w prawej



Rys.3.

części okna pokazano kolejność kompilowania projektu. Wskazanie przy pomocy myszy dowolnego etapu powoduje automatyczne wykonanie wszelkich niezbędnych procedur.

Podczas tworzenia nowych projektów dość zdarza się, że pozornie dobrze opracowany układ nie działa prawidłowo. Pomocą w takich sytuacjach będzie symulator programowy z wbudowanym interfejsem graficznym (rys.4). Dzięki rozbudowanym opcjom konfiguracyjnym symulatora możliwe

jest podzielenie projektu na kilka części i oddzielne symulowanie każdej z nich, co w przypadku większych układów jest bardzo ważne.

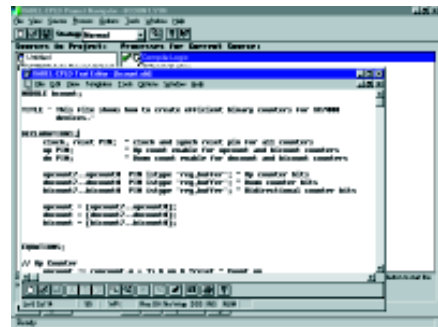
W przypadku wystąpienia pomyłek możliwa jest modyfikacja poszczególnych bloków projektu, przy pomocy edytora tekstowego (rys.5), który stanowi integralną część pakietu.

Projekt poprawnie skompilowany można od razu załadować do układu PLD znajdującego się w uruchamianym urządzeniu. Niezbędny do tego celu będzie interfejs sprzętowy (wchodzi on w skład zestawu), dołączony do portu drukarkowego LPT oraz program EZ-TAG



Rys.4.

(rys.6). Przy pomocy menu tego programu konfigurowany jest łańcuch układów, które zamierzamy programować, możliwe jest także wybranie plików wpisywanych do każ-



Rys.5.

jest podzielenie projektu na kilka części i oddzielne symulowanie każdej z nich, co w przypadku większych układów jest bardzo ważne.

W przypadku wystąpienia pomyłek możliwa jest modyfikacja poszczególnych bloków projektu, przy pomocy edytora tekstowego (rys.5), który stanowi integralną część pakietu.

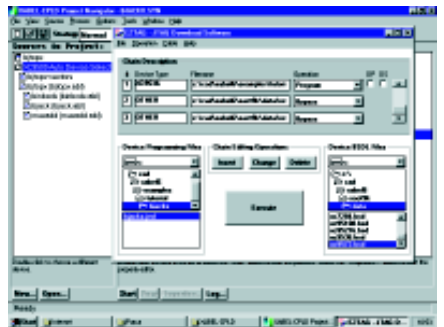
Projekt poprawnie skompilowany można od razu załadować do układu PLD znajdującego się w uruchamianym urządzeniu. Niezbędny do tego celu będzie interfejs sprzętowy (wchodzi on w skład zestawu), dołączony do portu drukarkowego LPT oraz program EZ-TAG

**W skład zestawu DS-571 wchodzi:**

- ▲ CD-ROM z oprogramowaniem w wersji instalacyjnej. Podstawowym modulem oprogramowania jest kompilator języka ABEL w wersji 6.1.2. Kompilator ten umożliwia tworzenie projektów hierarchicznych na poziomie plików źródłowych języka ABEL. Na płycie znajdują się także fittery dla układów XC9500, XC7300, symulator funkcjonalny z interfejsem graficznym, analizator czasowy (statyczny), nakładka 32-bitowa dla Windows 3.1,
- ▲ oprogramowanie EZ-TAG, które jest interfejsem programowym do obsługi programatora ISP,
- ▲ interfejs sprzętowy LPT->JTAG, który spełnia rolę programatora układów ISP (XC9500),
- ▲ rozbudowane pliki pomocy dotyczącej programów wchodzących w skład pakietu, języka programowania i obsługi programatora.

dego z nich.

Prezentowane oprogramowanie nie jest specjalną nowością - Czytelnicy znający inne pakiety CAD opracowane przez Data I/O z pewnością znają zarówno interfejs gra-



Rys.6.

ficznego shella, jak i sposób tworzenia projektów. Nowością wprowadzoną przez firmę Xilinx są fittery optymalizujące rozkład projektu we wnętrzu układu, niezależnie dla rodziny XC7300 oraz XC9500. Ogromną zaletą tego pakietu jest prosty w obsłudze programator, przy którego pomocy możliwe jest programowanie układów XC9500.

Pewną wadą wydawać się może brak dokumentacji książkowej do pakietu, lecz wbudowany program pomocy z bardzo przejrzystymi prezentacjami sposobu obsługi programu oraz skryptyem z opisem języka ABEL, doskonale zastępuje papierową wersję podręczników.

**Piotr Zbysiński, AVT**

*System XABEL 6.2 (DS-571) udostępniła redakcji firma Elbatex.*

**Uwaga!** Układy serii XC9500 widoczne na zdjęciu wraz z zestawem oprogramowania nie wchodzi w jego skład.