

Krzemowy przełącznik Lattice'a

ispGDx - oprogramowanie narzędziowe do projektowania struktur przełącznikowych GDx



Od kilku już lat są dostępne na rynku programowalne matryce przełączników serii GDS. Wynalazcą tego typu układów, a także - przynajmniej dotychczas - jedynym ich producentem jest amerykańska firma Lattice. Od kilkunastu miesięcy dostępne są nieco bardziej rozbudowane i znacznie szybsze od GDS układy rodziny GDx (ang. Generic Digital Crosspoint). Im właśnie dedykowane jest prezentowane w artykule narzędzie.

Co to jest GDx?

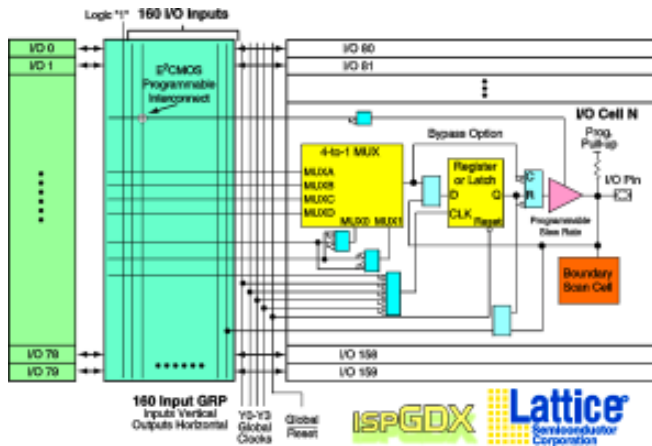
Zacniemy od krótkiego wyjaśnienia: co potrafią układy GDx? Programowalne przełączniki rodziny GDx umożliwiają budowanie zaawansowanych systemów przełączania i krosowania sygnałów cyfrowych. Doskonale nadają się do budowania szybkich interfejsów dostępu do pamięci lub portów I/O w systemach wieloprocessorowych, a także interfejsów obsługi pamięci DRAM oraz wieloportowych. Oprócz tak poważnych zastosowań, układy GDx można także stosować w prostych urządzeniach wymagających okresowej rekonfiguracji. Doskonale zastępują one DIP-switche, zworki, mechaniczne przełączniki, mogą także - chociaż jest to rozwiązanie dość kosztowne - zastąpić szereg rejestrów lub buforów danych. Architektura układów GDx umożliwia łączenie każdego wejścia z każdym wyjściem, co zapewnia ogromną elastyczność, tak charakterystyczną dla większości układów programowalnych.

w dalszej części artykułu.

Opracowane przez Lattice'a komórki I/O są nad wyraz uniwersalne (rys. 1). Mogą one pracować jako standardowy lub zatraskowy bufor wyjściowy (z wyjściem trójstanowym lub zwykłym), można je także skonfigurować jako linie wejściowe z rejestrem lub bez niego. Do wszystkich wejść i wyjść można programowo dołączyć rezystory „podwieszające”, wyjścia można ponadto skonfigurować jako „wolne”, co pozwala ograniczyć zakłócenia EMC generowane do otoczenia. Wszystkie wejścia są wyposażone w ultraszybkie przerzutniki Schmitta, dzięki czemu pewność działania układu w zasmuowanych środowiskach jest dość duża.

Na rys. 2 przedstawiono wewnętrzną konstrukcję układów GDx. Każdy układ tego typu składa się z czterech sekcji I/O oraz matrycy GRP (ang. Global Routing Pool), która odpowiada za wzajemne połączenia między nimi. Zawartość matrycy GRP oraz konfigurację cel I/O można zabezpieczyć przed niepożądanym odczytem poprzez ustawienie bitu.

W zależności od typu układu użytkownik może wykorzystać 80, 120 lub 160 pinów I/O (tab. 1). Oprócz uniwersalnych wyprowadzeń I/O dostępne są także dedykowane (globalne) wejścia zegarowe (2 lub 4) i globalne wejścia zerujące (1). Możliwe jest wykorzystanie niektórych uniwersalnych wyprowadzeń I/O jako indywidualnych wejść zegarowych (20..40), uaktywniających bufony trójstanowe (20..40) oraz wejścia adresowe multiplexerów w celach I/O (2 x 20..40). Bufory



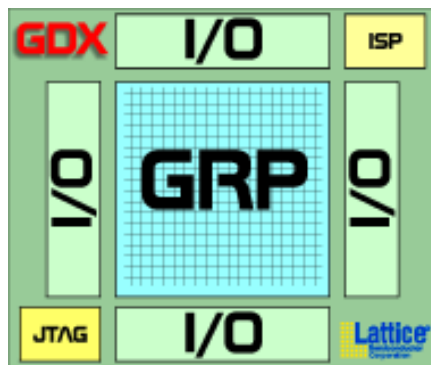
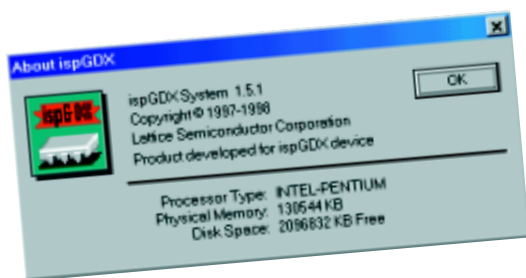
Rys. 1.

Atutem układów GDx jest fakt, że są one programowane w systemie, bez konieczności stosowania żadnych programatorów. Dostęp do programowanej matrycy konfigurującej strukturę przełącznikową jest możliwy przez jeden

z dwóch interfejsów szeregowych: ISP (autorskie opracowanie Lattice'a) lub JTAG (światowy standard). Oprócz programowania JTAG umożliwia także testowanie układu w systemie (ang. Boundary Scan Testing), co jest wspierane przez oprogramowanie przedstawione



Rys. 3.



Rys. 2.

Tab. 1. Dostępne wersje układów ispGDx oraz ich możliwości.

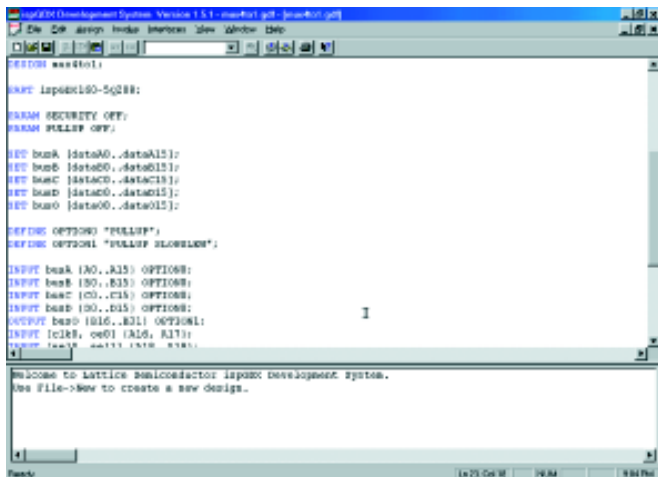
Sygnaly	ispGDx80A	ispGDx120A	ispGDx160A
Standardowe I/O	80	120	160
Wejścia I/O-OE	20	30	40
Wejścia I/O-CLK	20	30	40
Wejścia I/O-MUXsel1	20	30	40
Wejścia I/O-MUXsel2	20	30	40
Wyprowadzenia BSCAN/ISP	4	4	4
Wejścia RESET	1	1	1
Wejścia zegarowe	2	4	4

Uwaga! Wejścia CLK, OE, MUX0 and MUX1 dołączone do danej celi I/O mają dostęp poprzez GRP do 25% zasobów uniwersalnych pinów I/O.

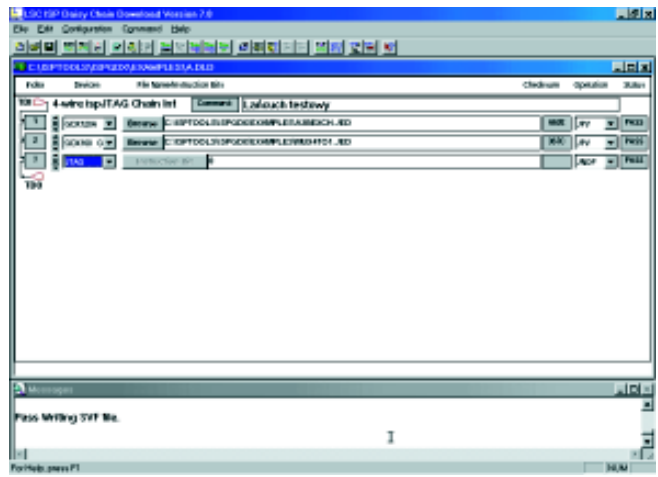
wyjściowe są kompatybilne ze standardem FastTTL - 24mA oraz PCI.

Kompilator

Lattice udostępnił użytkownikom w Internecie doskonałe narzędzie do projektowania struktur układów GDx (rys. 3). Przed ściąganiem oprogramowania należy wypełnić formularz rejestracyjny i... zaczynają się kłopoty. Gały pakiet zajmuje bowiem blisko 13MB! Doświadczeni użytkownicy Internetu wiedzą, że oznacza to (w typowym przypadku) kilka godzin pracy modemu...



Rys. 4.



Rys. 7.



Rys. 5.

Po ściągnięciu programu-archiwum *ispgdx.exe* należy zainstalować go, do czego niezbędne będą Windowsy 95/98 lub NT. W **tab. 2** zawarto podstawowe wymagania sprzętowe pakietu. Procedura instalacji jest w pełni zautomatyzowana i nie wymaga ingerencji ze strony użytkownika.

Na **rys. 4** widoczny jest ekran shella uruchomionego programu z widocznymi oknami: komunikatów (na dole) i edytora tekstu (na górze). Edytor automatycznie zaznacza kolorami słowa kluczowe, komentarze i parametry. Znacznie ułatwia to edycję i analizę programu, co ma o tyle duże znaczenie, że kompilowane są tylko programy napisane w specjalnym (lecz bardzo prostym) języku tekstowym.

Część opcji konfiguracyjnych układów GDx dostępna jest z poziomu paska narzędziowego shella. Na **rys. 5** znajduje się okno z opcjami pozwalającymi wybrać typ układu docelowego,



Rys. 6.

poziom generowanych zakłóceń EMC, włączyć/wyłączyć rezystory „podciągające” na wejściach/wyjściach i zabezpieczyć zawartość pamięci układu przed odczytem.

Z menu shella (**rys. 6**) jest wywoływany kompilator oraz program ładujący skompilowane pliki JEDEC do układów ISP (**rys. 7**). Możliwość tego programu są bardzo duże. Pozwala on m.in. na dowolną konfigurację łańcucha ISP, w tym także włączanie w szereg układów GDx dowolnych innych układów ISP produkowanych przez Lattice’a. Ponadto przewidziano stosowanie analizatorów ATE (ang. Automated Test Equipment) oraz wirtualnych urządzeń JTAG. Program ładujący może współpracować z jednym z trzech typów interfejsów sprzętowych (**rys. 8**), dołączonym do złącza Centronics.

Oprogramowanie *ispGDX System* automatycznie generuje podczas kompilacji projektu pliki tekstowe z czasowym opisem opóźnień dla wszystkich ścieżek sygnałów. Można także zapisać w jednym z pięciu dostępnych formatów (**rys. 9**) listę połączeń, przeznaczoną do późniejszej symulacji w dowolnym systemie CAD dla układów PLD.

Piotr Zbysiński, AVT
piotr.zbysinski@ep.com.pl

W artykule przedstawiono wersję 1.5.1 pakietu *ispGDX System*.

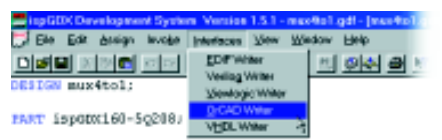
Strona informacyjna o pakiecie *ispGDX System* dostępna jest pod adresem: <http://www.latticesemi.com/ftp/gdxdevsys.html>.

Ogólne informacje o układach *ispGDX* dostępne są pod adresem: <http://www.latticesemi.com/prodinfo/ispgdx.html>.

Karta katalogowa układów *ispGDX* dostępna jest pod adresem: <http://www.latticesemi.com/ftp/docs/datasheets/ispgdx.pdf>.



Rys. 8.



Rys. 9.

semi.com/ftp/docs/datasheets/ispgdx.pdf.
Przeglądowa informacja o układach *ispGDX* dostępna jest pod adresem: <http://www.latticesemi.com/ftp/docs/datasheets/introgdx.pdf>.

Tab. 2. Minimalne wymagania sprzętowe pakietu <i>ispGDX System</i> :	
✓	system operacyjny Windows 95/98 lub Windows NT 4.0
✓	pamięć RAM 16MB (32MB zalecane),
✓	minimalna ilość wolnego miejsca na dysku twardym 10MB,
✓	karta grafiki SVGA (800x600),
(oprogramowanie dostępne także w wersji dla systemu Unix)	

Elektronika Praktyczna w "pajęczynie" Ziloga

Polski rynek elektroniczny - obok innych wschodniej Europy - stał się jednym z najważniejszych w planach rozwojowych firmy Zilog. Z tego właśnie powodu na stronie WWW firmy Zilog powstał dział poświęcony informacjom z tych krajów. Polskę reprezentuje *Elektronika*



W zakątku <http://www.zilog.com/europe> dostępne są publikacje opracowane w wielu krajach Europy, których wspólną cechą jest prezentacja wyrobów firmy Zilog. Strona ta będzie przez producenta sukcesywnie rozwijana.

Na początku lipca znajdowały się na niej materiały z Niemiec, Włoch, Czech, Francji, Rosji oraz cztery artykuły z Polski.

Wszystkie „polskie” opracowania pochodzą z *Elektroniki Praktycznej* i stanowią przegląd wszystkich publikacji o mikrokontrolerach Ziloga, jakie pojawiły się w elektronicznych periodykach w naszym kraju.

Oprócz artykułów zapisanych w formacie PDF dostępne będą także ich odpowiedniki w HTML, co znacznie skróci czas ściągania materiałów, co jest o tyle istotne, że serwer Ziloga jest silnie oblegany.

