

# Optymalne zarządzanie poborem mocy w mikrokontrolerach ST7

*W coraz większej liczbie aplikacji mamy do czynienia z rygorystycznymi wymaganiami w zakresie wartości pobieranej energii. Mikrokontrolery ST7 mogą być wprowadzone w jeden z kilku oszczędnościowych trybów pracy przez odpowiednie ustawienie bitów sterujących w wybranych rejestrach. Sposób i zakres ich wykorzystania zależy od specyfiki konkretnej aplikacji.*



Na pobór prądu przez cyfrowe układy logiczne wykonane w technologii CMOS mają wpływ przede wszystkim: napięcie zasilające i częstotliwość zegara. Oszczędność mocy można osiągnąć przez właściwy dobór tych parametrów przez projektanta. Pobierana moc jest w omawianych układach wprost proporcjonalna do częstotliwości zegara i do kwadratu napięcia zasilającego:

$$P = C \cdot V^2 \cdot f$$

gdzie:

$C$  - oznacza pojemność obciążenia,  
 $V$  - napięcie zasilania,

$f$  - jest częstotliwością zegara.

Natężenie pobieranego prądu jest wprost proporcjonalne do napięcia zasilającego. Można zatem zmniejszyć pobór prądu przez zmniejszenie przyłożonego napięcia zasilającego. Inną metodą ograniczania pobieranej mocy jest praca z jak najniższą częstotliwością zegara, spełniającą wymagania konkretnej aplikacji. Na pobór mocy wpływa także liczba aktywnych elementów funkcjonalnych wbudowanych w mikrokontroler, jak na przykład: generator, jednostka centralna, pętla fazowa PLL, układ kontroli poprawności pracy oscylatora CSS (*Clock Security System*) i układ wykrywania spadku napięcia zasilającego LVD (*Low Voltage Detector*).

W mikrokontrolerach ST7 przewidziano pięć, oprócz podstawowego trybu RUN, specjalnych trybów pracy, umożliwiających zmniejszenie poboru mocy: SLOW, WAIT, SLOW WAIT, ACTIVE-HALT i HALT. Wybór trybu następuje przez odpowiednie ustawienie bitów głównego rejestru kontroli zegara i statusu MCCR (Main Clock Control/Status Register).

## Tryb standardowy RUN

W trybie normalnej pracy RUN częstotliwość pracy procesora zależy od częstotliwości oscylatora w następujący sposób:

$$f_{\text{CPU}} = f_{\text{OSC2}} = f_{\text{OSC}}/2,$$

jeśli wyłączony jest układ PLL lub

$$f_{\text{CPU}} = f_{\text{OSC2}} = f_{\text{OSC}} \cdot 2,$$

gdy układ PLL jest włączony.

Pobór mocy zależy więc w tym trybie od stanu układu PLL, włączonego i konfigurowanego poprzez odpowiednie ustawienie bitów konfiguracyjnych (*option bytes*).

## Tryb SLOW

Ustawiając odpowiednio bit SMS rejestru MCCR możemy dodatkowo zmniejszyć częstotliwość taktowania procesora. Zależnie od ustawień dwóch bitów CPx tego rejestru, uży-

skamy podział głównej częstotliwości zegara przez 2, 4, 8 lub 16, a tym samym odpowiednie zmniejszenie poboru mocy. Tryb SLOW daje nam także możliwość dopasowania wewnętrznej częstotliwości zegara do dostępnego napięcia zasilającego.

## Tryb WAIT

W tym trybie praca procesora jest zatrzymana, a wszystkie peryferia pozostają aktywne i nadal pracują ze standardową częstotliwością  $f_{\text{OSC}}$ . Mikrokontroler monitoruje zdarzenia zewnętrzne.

Tryb wybiera się przez przywołanie instrukcji 'WFI'. Następuje wymuszenie wartości bitów I[1:0] rejestru CC do '10', aby umożliwić wszystkie przerwania. Wszystkie pozostałe rejestry oraz reszta pamięci pozostają niezmienione. Mikrokontroler pozostaje w trybie WAIT do nadejścia przerwania lub sygnału RESET, które powodują „obudzenie się” (*wake-up*).

## Tryb SLOW WAIT

W tym trybie procesor także jest zatrzymany, a peryferia pracują nadal z częstotliwością  $f_{\text{CPU}}$  określoną dla trybu SLOW. Mikrokontroler przechodzi do trybu SLOW WAIT wtedy, kie-

# Nowe atrakcyjne mikrokontrolery STMicroelectronics



[www.st.com/mcu](http://www.st.com/mcu)  
[www.stmcu.com](http://www.stmcu.com)

## ST72F260, ST72F262 ST72F264

- 4 kB lub 8 kB pamięci Flash zabezpieczonej przed odczytem
- 22 piny WEJŚCIE/WYJŚCIE
- napięcie zasilania 2,4-5,5 V
- automatyczna ochrona przed spadkiem napięcia zasilania (LVD)
- WDG, PWM, RTC, SPI, SCI i I2C
- 256 B pamięci RAM
- 10-bitowe przetworniki A/D 3,5  $\mu$ s
- dwa 16-bitowe timery
- obudowy SDIP32 i SO28
- programowalne w układzie i aplikacji
- zagnieżdżona struktura przerwań
- szeroki wybór narzędzi rozwojowych, w tym płyta ewaluacyjna już za 65 zł, tani programator ISP i in-circuit debugger



## EVBST7-03

### System ewaluacyjny dla ST72F26x

- obsługuje mikrokontrolery w obudowach SDIP32
- płyta wyposażona w zegar czasu rzeczywistego, termometr analogowy, wyświetlacz LCD, linijkę diod LED i przycisków oraz złącze do programowania w układzie
- pole prototypowe umożliwiające umieszczenie własnych projektów
- w zestawie CD ROM z przykładowymi aplikacjami oraz programator ISP



od **65 PLN**

[www.FREPOX.com](http://www.FREPOX.com)

Pełna informacja o mikrokontrolerach ST72F260, ST72F262, ST72F264 i narzędziach na stronie [www.stmcu.com](http://www.stmcu.com)



**Masters Sp. z o.o.**

80-389 Gdańsk, ul. Śląska 12  
tel. (58) 761 86 86, fax (58) 761 87 87

[www.masters.com.pl](http://www.masters.com.pl), [masters@masters.com.pl](mailto:masters@masters.com.pl)

**Tab. 1. Charakterystyka trybów pracy mikrokontrolerów ST7**

Tryb pracy mikrokontrolera	Stan mikrokontrolera					
	Generator	CPU	Peryferia	RTC	Bit MCCSR-OIE	Bit MCCSR-SMS
	RUN	włączony	włączony	włączony	dostępny	x
SLOW	włączony	włączony	włączony	dostępny	x	1
WAIT	włączony	wyłączony	włączony	dostępny	x	0
SLOW-WAIT	włączony	wyłączony	włączony	dostępny	x	1
ACTIVE-HALT	włączony	wyłączony	wyłączony	dostępny	1	x
HALT	włączony	wyłączony	wyłączony	niedostępny	0	x

x - stan dowolny

dy podczas uruchamiania trybu WAIT znajdował się w trybie SLOW.

**Tryb ACTIVE-HALT**

W tym trybie nie funkcjonują ani CPU ani peryferia, lecz oscylator nadal pracuje. Peryferia taktowane z zewnętrznego źródła zegarowego mogą być nadal aktywne.

Tryb jest wybierany przez przywołanie instrukcji „HALT”, kiedy bit OIE (*Oscillator Interrupt Enable*) rejestru MCCSR jest aktywny. „HALT” wymusza na bitach I[1:0] rejestru CC stan ‘10’, aby zezwolić na przerwania. Zegar CPU jest zatrzymany, dopóki nie wystąpi przerwanie od sygnału zerującego, MCC/RTC, CSS lub innych określonych układów peryferyjnych. Po pojawieniu się któregoś z ww. czynników, następuje „obudzenie się” (*wake-up*) procesora.

Zabezpieczenie przed zablokowaniem kontrolera w stanie ACTIVE-HALT jest zapewnione poprzez przerwanie od układu CSS. Jeśli tylko wybrano możliwość przerwania dla któregoś z oscylatorów (za pomocą bitu MCCSR.OIE), przejście do trybu ACTIVE-HALT przy aktywnym układzie nadzorującym Watchdog nie powoduje generowania sygnału zerującego. Ponieważ Watchdog pozostaje aktywny, oznacza to, że mikrokontroler nie może znajdować się w trybie ACTIVE-HALT dłużej niż przez określony czas.

Ten tryb daje największe oszczędności w poborze mocy, zapewniając jednocześnie funkcjonowanie zegara czasu rzeczywistego (RTC).

**Tryb HALT**

W tym trybie oscylator jest wyłączony. Układy peryferyjne taktowane zewnętrznym sygnałem zegarowym mogą być nadal aktywne. Tryb HALT jest wybierany poprzez przywołanie instrukcji HALT w czasie, gdy bit MCCSR-OIE jest wyzerowany. Instrukcja HALT powoduje wpi-



sanie na bity I[1:0] rejestru CC wartość 10b, aby zezwolić na przerwanie. Zegar procesora jest w tym trybie zatrzymany, dopóki nie wystąpi sygnał Resetu lub jedno z przerwania dających możliwość wyjścia z trybu HALT. W trybie WAIT redukcja poboru mocy jest największa. Można go stosować, jeśli nie musi funkcjonować zegar czasu rzeczywistego.

Charakterystykę wszystkich opisanych wyżej trybów zestawiono w **tab. 1**.

**Dodatkowe wskazówki dla projektantów**

Optymalne zarządzanie poborem mocy można osiągnąć dzięki przestrzeganiu kilku poniższych zaleceń:

- jeśli w aplikacji nie są wykorzystywane przetworniki A/C, peryferia komunikacyjne SPI, SCI ani układy czasowe (timery), należy pozostawić je w stanie wyłączenia,
- nieużywane linie wszystkich portów powinny być skonfigurowane jako wyjścia *push-pull* oraz

zewnętrznie spolaryzowane poziomem niskim,

- na wszystkich liniach portów I/O powinny być dołączone zewnętrzne elementy polaryzujące dla uniknięcia wpływów wywołanych „pływającymi” (*floating*) wejściami,
- należy stosować tryb WAIT, jeśli mikrokontroler ma reagować na zewnętrzne przerwanie w trybie niskomocowym, a peryferia mają pozostać aktywne,
- należy stosować możliwie niską wartość napięcia zasilania, bowiem zbyt duża jego wartość powoduje niepotrzebny wzrost poboru mocy,
- bity konfiguracyjne OSCRANGE[2:0] powinny być ustawione na najmniejszy zakres częstotliwości. Przykładowo, jeśli jest stosowany rezonator o częstotliwości 8 MHz, należy je ustawić jak dla rezonatora 4/8 MHz, a nie jak dla rezonatora 8/16 MHz.

**KK**