

Nowe układy CPLD firmy Altera

MAX[®] II

O ile na rynku mikrokontrolerów od pewnego czasu panuje marazm, to wśród producentów PLD można zauważyć ożywienie. Pojawiają się nowe, coraz bardziej rozbudowane narzędzia programowe (zazwyczaj bezpłatne), spore zmiany zachodzą w ofertach produkcyjnych, cały czas spadają ceny układów PLD.

Jedną z najbardziej spektakularnych nowości wiosny 2004 jest nowa rodzina układów PLD - MAX II

- wprowadzona do sprzedaży przez firmę Altera w marcu tego roku.

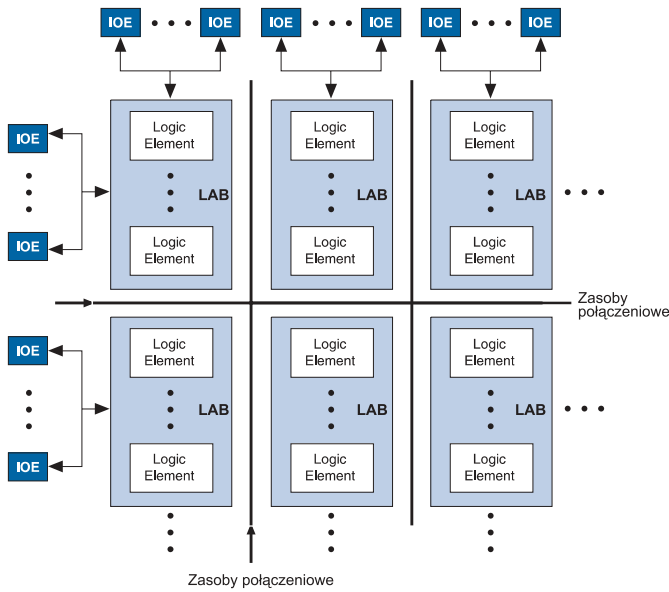
Co nowego w architekturze

Układy MAX II składają się z samych nowości, z których największe zdumienie wzbudzi zapewne ich architektura: już na pierwszy rzut oka jest ona bardzo bliska oferowanym przez Alterę układom FPGA, nie ma więc zbyt wiele wspólnego z jakimikolwiek układami CPLD

w ich klasycznym rozumieniu. No cóż, także świat techniki poddaje się coraz większym presjom marketingowym i zapewne już niedługo inżynierowie poważnie traktujący znaczenie przyjętej niegdyś nomenklatury, będą mieli spory problem ze zorientowaniem się, jakiego rodzaju układy stosują. Z tym drobnym zastrzeżeniem przyjmijmy nomenklaturę narzuconą przez Alterę.

Zgodnie z nią układy

Wyścig trwa: w marcu Altera wprowadziła do sprzedaży nową rodzinę układów CPLD (Complex Programmable Logic Devices), których budowa i możliwości pozwalają przewidywać kolejną minirewolucję na rynku PLD.



Rys. 1. Schemat ilustrujący budowę układów MAX II

MAX II należą do nowej generacji CPLD, wykonywanych z zastosowaniem nowoczesnej, 6-warstwowej technologii półprzewodnikowej 0,18 μm. Podstawowym elementem tworzącym architekturę rodziny MAX II są moduły logiczne LE (*Logic Element* - rys. 1), których może być 240, 570, 1270 lub 2210 w zależności od typu układu (tab. 1).

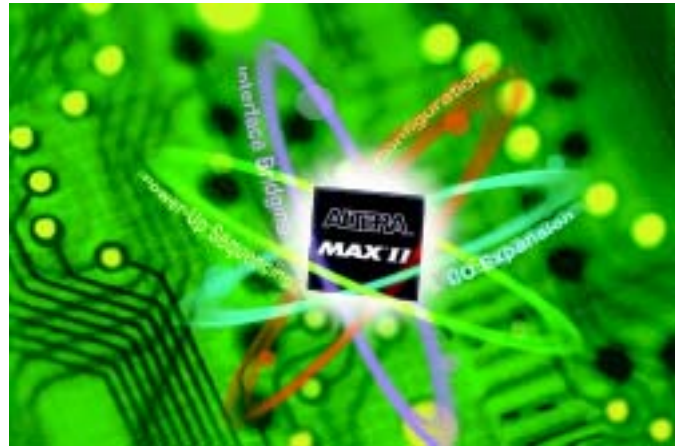
W skład każdego LE wchodzi przerzutnik o programowanej budowie, zespół multiplexerów umożliwiających skonfigurowanie ścieżek sygnałowych, a także 4-wejściową tablicę LUT (*Look-up Table*) - typowy element

„konstrukcyjny“ układów FPGA. Zadaniem tego fragmentu LE jest realizacja dowolnych, 4-argumentowych funkcji logicznych sygnałów pobieranych z zewnętrznych zasobów połączeniowych.

Nowości I/O

W odróżnieniu od dotychczasowych rozwiązań w układach CPLD, tym razem firma Altera ograniczyła do minimum zasoby ulokowane w komórkach I/O. Na rys. 3 pokazano budowę komórki I/O, w której zastosowano kilka nowości:

- możliwość włączenia w obwód wejściowy przerzutnika Schmitta,

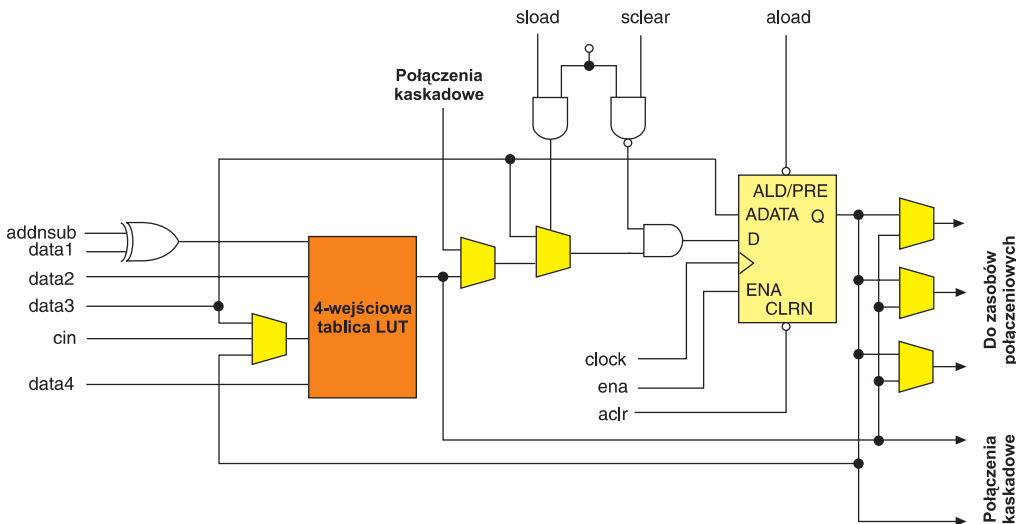


Bezpłatne narzędzie projektowe
 Projekty dla układów MAX II można przygotowywać za pomocą pakietu Quartus II w wersji 4.0. Oprogramowanie to jest dostępne bezpłatnie na stronie producenta oraz na płycie CD-EP4/2004B. Po zainstalowaniu programu należy zarejestrować się na stronie Altery (dział *Licensing*), w wyniku czego na podany adres e-mailowy zostanie wysłany bezpłatny plik licencyjny.

- możliwość programowego ustalenia wydajności prądowej linii wyjściowej (co ma na celu zmniejszenie poziomu szumów elektromagnetycznych emitowanych przez działający układ),
- wbudowanie na liniach wejściowych rezystorów *pull-up*, których niewielka rezystancji (do 15 kΩ) zapobiega indukowaniu się na nich napięć zakłócających,
- możliwość dołączenia do linii I/O obrotu

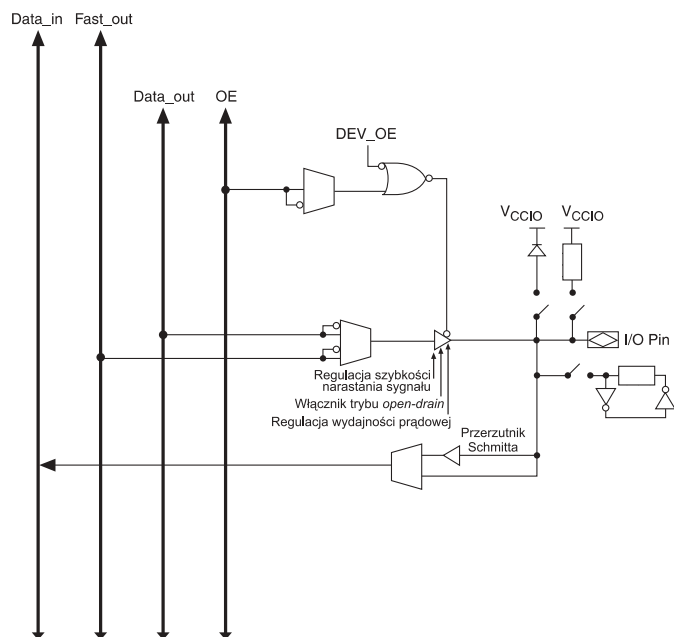
bus-hold, który zapobiega konieczności dołączania niewykorzystanych linii wejściowych do linii zasilającej.

Podobnie do innych układów PLD, także w rodzinie MAX II zastosowano globalne sygnały zegarowe (może ich być maksymalnie 4), których dobrą jakością zapewniają wewnętrzne bufory separujące wyjścia multiplexerów sygnałów zegarowych od wewnętrznych linii dystrybucyjnych.



Rys. 2. Budowa komórek LE w układach MAX II





Rys. 3. Budowa komórek I/O w układach MAX II

Flash dla użytkowników

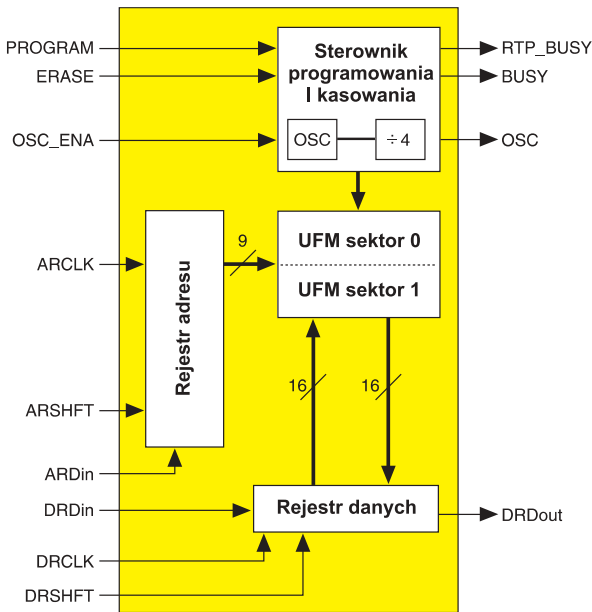
Kolejną nowością zastosowaną w układach MAX II jest wbudowana w strukturę nieulotna pamięć Flash (UFM - *User Flash Memory*). Jej pojemność i organizacja są takie same we wszystkich układach tworzących rodzinę MAX II (8 kb/2 sektory). Dostęp do tej pamięci jest możliwy z zewnątrz, mają go także moduły wewnętrzne, zaimplementowane w programowalnej części układu. Producent przewidział możliwość zastosowania interfejsu szeregowego SPI lub równoległego (jak w klasycznych pamięciach Flash z wyprowadzonym sygnałem gotowości pamięci), można zastosować także natywne interfejs szeregowy, w jaki wyposażono tę pamięć, o nieco nietypowej budowie (rys. 4). Korzystanie z pamięci UFM jest możliwe dzięki wyposażeniu systemu projektowego Quartus II

(układy MAX II są obsługiwane za jego pomocą od wersji 4.0 - oprogramowanie publikujemy na płycie CD-EP4/2004B) w bibliotece parametryzowanych makrofunkcji, wśród których są dostępne moduły pamięci Flash z różnymi interfejsami (na rys. 5 pokazano widok okna selektora symboli z wyświetlonym symbolem pamięci Flash z interfejsem równoległym).

Zasilanie

Struktury układów MAX II są przystosowane do zasilania napięciem 1,8 V, ale obecnie oferowane wersje można zasilac napięciem 2,5 lub 3,3 V. Dzieje się tak dzięki wbudowaniu w struktury stabilizatorów LDO (*Low Drop Out*), zapewniających napięcie o odpowiedniej wartości. Producent zapowiada wprowadzenie do sprzedaży także wersji bez wbudowanego stabilizatora, zasilanych napię-

Parametr	EPM240	EPM570	EPM1270	EPM2210
Liczba LE	240	570	1270	2210
Ekwiwalentna liczba makrokomórek	192	440	980	1700
Pojemność pamięci UFM	8192	8192	8192	8192
Maksymalna liczba I/O	80	160	212	272



Rys. 4. Schemat blokowy pamięci UFM z natywnym interfejsem szeregowym

ciem 1,8 V. Będą one niskiej wartości napięcia miały w nazwie sufiks zasilającego linie I/O pre-„G“. Pomimo relatywnie zentowanych układów mo-

gą współpracować z układami cyfrowymi zasilanymi napięciem od 1,5 do 5 V. Dzięki podziałowi portów I/O na banki, każdy z nich może współpracować z układami zasilanymi innym napięciem.

Nowoczesna technologia produkcji i zastosowane rozwiązania układowe powodują, że pobór energii przez układy MAX II jest mniejszy niż miało to miejsce w przypadku większości dotychczas produkowanych układów PLD. Przykładowo układ EPM240 przy zasilaniu napięciem 3,3 V i taktowaniu sygnałem zegarowym 100 MHz pobiera moc ok. 80 mW. Ten sam układ zasilany napięciem 2,5 V pobiera moc ok. 60 mW.

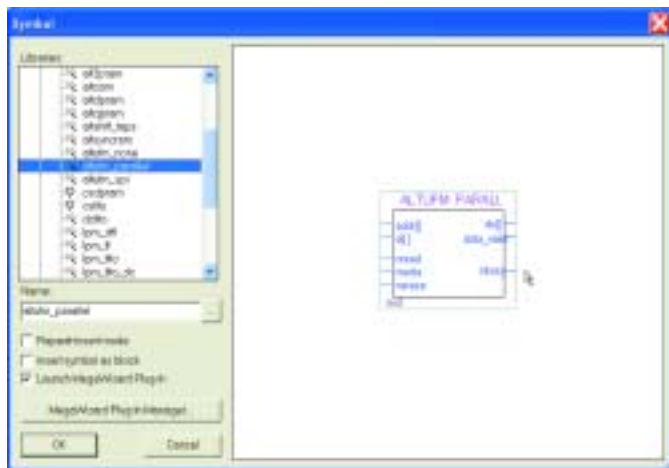
JTAG dla użytkowników

Interfejs JTAG wbudowany w układy MAX II ma dwie cechy wyróżniające go wśród konkurencji:

- Jest zgodny z IEEE1532, co zapewnia m.in. krótki czas programowania pamięci konfiguracyjnej i wysoki poziom zabezpieczenia projektu przed nieuprawnionym skopiowaniem.

- TAP obsługuje dwie instrukcje (*user0* i *user1*), których znaczenie użytkownik może zdefiniować samodzielnie, dzięki czemu interfejs JTAG może być wykorzystywany także po zaprogramowaniu pamięci konfiguracyjnej.

Interesującym przykładem zastosowania JTAG-a w aplikacji użytkownika jest rekonfiguracja układu w czasie rzeczywistym: projekt



Rys. 5. Widok okna selektora symboli programu Quartus II z wybranym modulem pamięci Flash z interfejsem równoległym

zapisany w pamięci konfigurującej może zostać zastąpiony przez projekt wpisywany przez JTAG do pamięci UFM podczas pracy układu. W ciągu kilkuset nanosekund można zmienić konfigurację i sposób działania układu, co pozwala tworzyć sprzęt o możliwościach zbliżonych do budowanego na bazie układu dynamicznie rekonfigurowalnych.

Podsumowanie

Prezentowane układy tworzą wyłom w dotychczasowej polityce Altery, mogą także spowodować drobne przeszerogowania w ofertach innych producentów. Po raz pierwszy bowiem w jawny sposób układy o budowie i sposobie implementacji bloków logicznych stosowanych

w FPGA nazwano CPLD. Biorąc pod uwagę doskonałość narzędzia projektowego (Quartus II w wersji 4.0) te nazewnictwo nieporozumienia, w większości przypadków, nie będą miały znaczenia dla użytkowników - wszelkie problemy zostaną rozwiązane automatycznie. Przecież teraz liczą się przede wszystkim: krótki czas realizacji projektu i niska cena implementacji, a obydwie te parametry są spełniane przez układy MAX II.

Piotr Zbysiński
piotr.zbysinski@ep.com.pl

Dodatkowe informacje o układach MAX II są dostępne w Internecie pod adresem: <http://www.altera.com/products/devices/cpld/max2/mx2-index.jsp>.