

# LiveDesign w praktyce, część 7



Niewiele czasu minęło od premiery Altium Designer SP 3, a od 12 czerwca 2005 mamy już kolejną wersję uaktualnień – Service Pack 4. Tradycyjnie, pojawiło się trochę nowych cech, a w zakresie projektowania FPGA największe zmiany, to nowy moduł syntezy z pełną obsługą języków Verilog i VHDL oraz obsługa układów programowalnych firmy Lattice rodziny EC i EPC. Service Pack 4 można ściągnąć z Internetu, po wypełnieniu formularza na stronie <http://www.altium.com/forms/designer/servicepacks.aspx>.

## Tworzymy PCB...

...dla naszego projektu FPGA. To jeden z możliwych wariantów, kiedy mamy gotowy projekt FPGA i tworzymy dla niego płytę drukowaną. Można wyjść również od projektu płyty PCB, a następnie zająć się częścią FPGA. Można też oba projekty prowadzić równolegle, a synchronizację PCB z FPGA zostawić na koniec. Altium Designer wspiera

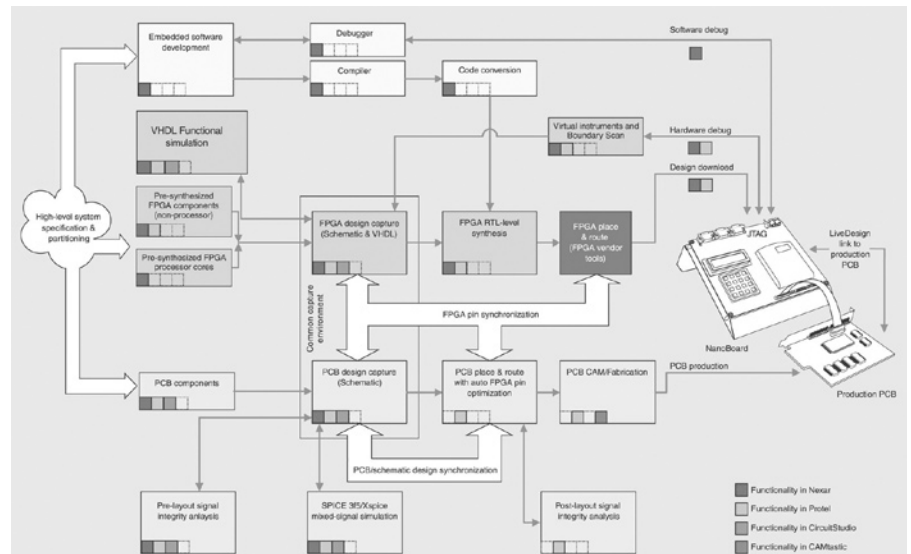
### Jak kupić zestaw LiveDesign Evaluation?

Zestaw ewaluacyjny LiveDesign dostępny jest za pośrednictwem sieci dystrybucji firmy Altium na całym świecie. Cena zestawu w Europie wynosi 99 EUR, dla wersji z płytą ewaluacyjną z układem Altera lub Xilinx oraz 49 EUR dla wersji z interfejsem JTAG, który umożliwia podłączenie obcej płyty uruchomionej do systemu Altium Designer. W obu przypadkach należy doliczyć podatek VAT i koszty przesyłki.

Zestaw ewaluacyjny LiveDesign można zamówić wypełniając formularz na stronie <http://www.altium.com/forms/evaluation.aspx> lub bezpośrednio kontaktując się z firmą EVATRONIX – dane kontaktowe są dostępne na <http://www.evatronix.com.pl/kontakt/>.

Dostawa trwa około tygodnia od potwierdzenia zamówienia i uregulowania należności.

*Płyta drukowana jest nieodzownym elementem każdego urządzenia elektronicznego. Nawet, jeśli całą logikę umieścimy wewnątrz chipu FPGA, to płyta PCB jest konieczna dla zapewnienia zasilania układu i komunikacji z otoczeniem. Firma Altium oferuje znacznie więcej, niż tylko narzędzia do PCB. Prawdziwa siła systemu Altium Designer tkwi w pełnej integracji projektu FPGA z PCB. W tej części kursu pokażemy praktyczne aspekty tego zagadnienia.*



Rys. 31. Przepływ danych w procesie projektowym LiveDesign

każdy z wymienionych wariantów. Diagram z rys. 31 najlepiej obrazuje integrację narzędzi i przepływ danych pomiędzy częściami projektu.

Dwustronna synchronizacja PCB z FPGA jest zapewniona na najwyższym poziomie projektów, czyli na poziomie schematów, a dalej przenosi się na kolejne elementy. W efekcie, możemy na przykład zmienić funkcje wyprowadzeń układu FPGA na płycie PCB, aby uprościć przebieg ścieżek, a program przeniesie te zmiany do projektu FPGA i zadba o prawidłowe odwzorowanie pinów na etapie jego implementacji. Większość tych zadań wykonują automaty, które oferuje Altium Designer, a projektant może skupić się na pracy twórczej.

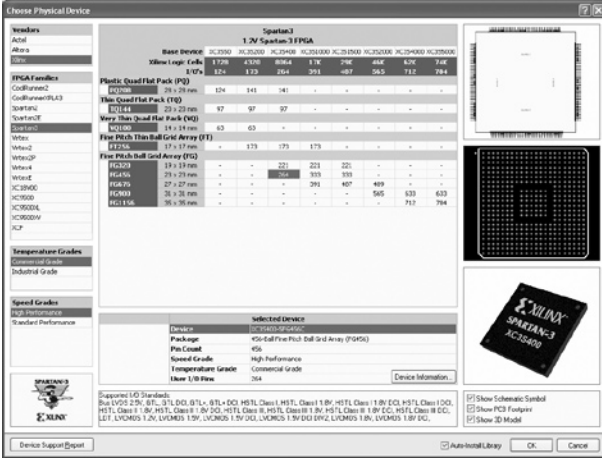
Z poprzednich części kursu mamy gotowy projekt FPGA, przetestowany już na kilku płytach ewaluacyjnych firmy Altium. Zakładamy teraz, że chcemy zbudować nasz licznik Johnsona w formie autonomicznego urządzenia, więc musimy przygotować płytę PCB, na

której znajdzie się chip FPGA wraz z układami zasilania, linijka LED i przełączniki DIP, wykorzystywane przez aplikację.

Uruchamiamy Altium Designer, otwieramy nasz projekt *Licznik Johnsona.PrjFpg* i główny arkusz schematu *Licznik Johnsona.SchDoc*. Teraz uruchamiamy kreatora *FPGA To PCB Project Wizard* z menu *Tools*. Powinien pojawić się pierwszy ekran kreatora. Klikamy przycisk *Next* i przechodzimy do kolejnego okna kreatora, jak na rys. 32. Na tym etapie możemy wybrać istniejącą konfigurację – opcja *Use Exi-*



Rys. 32. Widok okna kreatora projektu

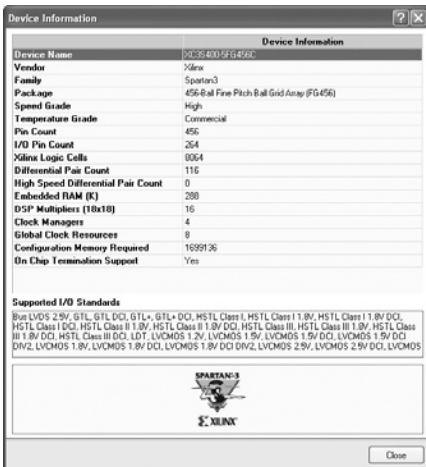


Rys. 33. Altium Designer obsługuje obszerną gamę układów Xilinx, Altera i Actel

sting Configuration, lub utworzyć nową – opcja *Create New Configuration*. Wykorzystanie jednej z gotowych konfiguracji, które przygotowaliśmy wcześniej dla celów uruchomienia projektu na płytach ewaluacyjnych miałyby sens, gdybyśmy chcieli na naszej własnej płycie drukowanej wykorzystać identyczny układ FPGA, rozkład wyprowadzeń i podobne połączenia, jak na wspomnianych płytach ewaluacyjnych Altium.

W naszym przykładzie utworzymy nową konfigurację dla PCB, ponieważ ten wariant daje większą swobodę, a przy okazji zobaczymy, jak dobiera się kość FPGA do projektu.

Nazwę konfiguracji (*Configuration Name*) oraz nazwę pliku constraint (*Constraint File Name*) można pozostawić takie, jak proponuje kreator. Natomiast chwilę poświęcimy na dobór układu FPGA – opcja *Selected Device*. Klikając przycisk z trzema kropkami obok nazwy ukła-



Rys. 34. Szczegółowe informacje na temat układu FPGA z biblioteki Altium Designer

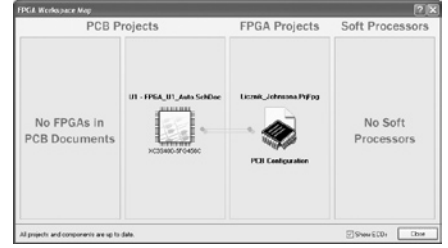
du, otwieramy okno wyboru, pokazane na rys. 33.

Pokaźnych rozmiarów okno jest swobodnym centrum, które pozwala na wybór układu FPGA do naszego projektu. Jeśli przyjrzeć się dokładnie zawartości, to faktycznie mamy do czynienia z centrum informacyjnym nt. wszystkich chipów, jakie obsługuje Altium Designer. Po lewej stronie od góry mamy listę dostawców (Actel, Altera, Lattice, Xilinx), a poniżej wykaz rodzin układów danego producenta. Tabela w środkowej części okna pozwala na wybór jednego z modeli w ramach rodziny, np. Xilinx Spartan-3 FPGA XC3S400 i wersji obudowy, np. FG456. U dołu okna widać parametry wybranego układu, natomiast prawa część pokazuje symbol układu na schemacie, obudowę (*footprint*) do PCB oraz model 3D elementu. Jeszcze bardziej szczegółowe informacje możemy uzyskać, klikając przycisk *Device Information...* Najistotniejsze parametry wybranego układu zobaczymy w okienku, jak na rys. 34.

Dysponując takim zestawem informacji, można dobrać kość FPGA najbardziej odpowiednią do danego zastosowania. W naszym przykładzie wybraliśmy układ Xilinx Spartan-3 XC3S400-FG456. Nie jest to wybór optymalny w przypadku tak prostego projektu, bo pojemność wybranego układu znacznie przerasta potrzeby, ale zakładamy, że nasz projekt będzie się rozwijał i chcemy mieć duży zapas.

Kiedy mamy wybrany właściwy układ, klikamy OK w oknie *Choose Physical Device* i wracamy do okna kreatora *FPGA To PCB...* Klikamy *Next* i przechodzimy do kolejnego kroku. Program pyta w nim o ścieżkę i nazwę pliku dla projektu PCB. Możemy pozostawić domyślną lub zmienić nazwę np. na *PCB\_LiveDesign\_Kurs.PrjPCB*.

Klikamy *Next* i przechodzimy do kolejnego etapu. Dwa parametry w tym oknie: *Main Sheet File Name* oraz *Component Designator* to nazwa arkusza schematu oraz oznaczenie układu FPGA na nim, które będą stanowić połączenie pomię-



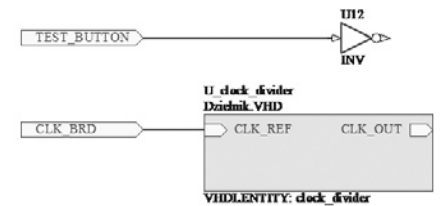
Rys. 35. Okno FPGA Workspace Map pokazuje relacje między projektami

dzy projektem PCB i FPGA. Funkcjonowanie tego łącza omówimy dalej, kiedy będzie widać oba projekty i relacje między nimi. Na razie istotny jest fakt, że kreator wygeneruje automatycznie wspomniany arkusz schematu, a nazwę można pozostawić standardową. Zaznaczenie opcji *Use Standard Sheet Size Where Possible* spowoduje, że program spróbuje dopasować standardowy rozmiar arkusza w jednostkach metrycznych (*Metric*) lub calowych (*Imperial*).

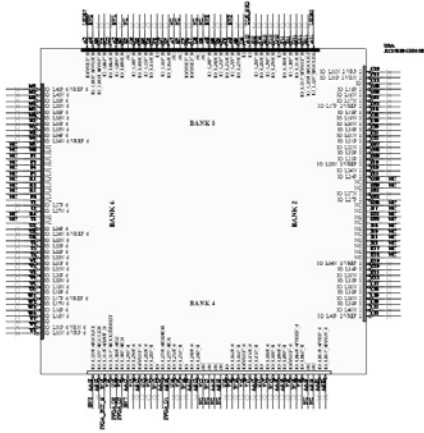
Kolejne opcje określają, czy zasilanie dla kości FPGA połączyć przez porty zasilania (*Connect Power Pins via Power Ports*), a w sekcji *Unused I/O Pins* określamy, co zrobić z nieużywanymi wyprowadzeniami układu. Możemy pozostawić wartości domyślne. Dodanie dyrektywy *No Erc* (*Add No ERC directive*) do uniwersalnych pinów I/O zapobiega generowaniu ostrzeżeń przez kompilator, spowodowanych wejściami układu cyfrowego pozostawionymi swobodnie. Klikamy *Next* i przechodzimy do ostatniego etapu pracy kreatora.

Parametr *Sheet Symbol File Name* określa ścieżkę i nazwę pliku, który będzie pełnił rolę roboczego arkusza schematu w projekcie PCB. Na nim umieścimy dalej elementy peryferyjne, występujące w otoczeniu układu FPGA. Możemy pozostawić domyślną nazwę i kliknąć *Finish*.

Po krótkiej chwili zobaczymy efekty pracy kreatora: nowy projekt *PCB\_LiveDesign\_Kurs.PrjPCB*, pliki



Rys. 36. Fragment projektu FPGA z widocznymi portami, które łączą układ z projektem PCB



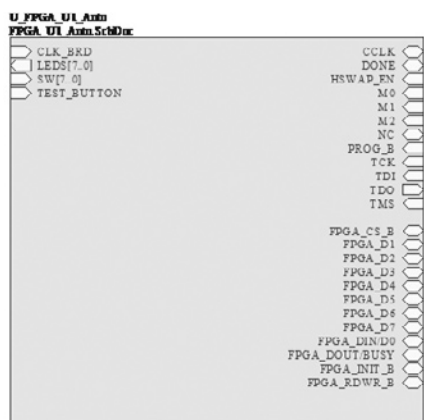
Rys. 37. Fragment schematu z projektu PCB, który zapewnia „łącze” z projektem FPGA

schematów *FPGA\_U1\_Manual.SchDoc* i *FPGA\_U1\_Auto.SchDoc* oraz plik *PCB\_Constraints.Constraint*. Od tej chwili mamy dwa projekty: FPGA i PCB – sprzężone razem. Aby się o tym przekonać, wystarczy z menu *Project* wybrać *FPGA Workspace Map...* Zobaczymy okno (rys. 35), w którym widać połączenie pomiędzy arkuszem *FPGA\_U1\_Auto.SchDoc* z naszego nowo powstałego projektu PCB oraz projektem *Licznik\_Johnsona.PrjFpg*.

**Co łączy FPGA z PCB...**

...i w jaki sposób, to wiedza, która nie jest absolutnie niezbędna, ale zrozumienie zagadnienia pozwoli na bezpieczne, ręczne modyfikacje krytycznych elementów projektu. Poza tym, dla komfortu psychicznego warto wiedzieć, jak to działa.

Zacznijmy analizę od głównego arkusza projektu FPGA – plik *Licznik\_Johnsona.SchDoc*. Komunikację z „fizycznym” otoczeniem projektu FPGA zrealizowaliśmy wcze-



Rys. 38. Wyrowadzenia układu FPGA dostępne są poprzez symbol arkusza na schemacie nadrzędnym

śniej za pomocą specjalnych komponentów z biblioteki, takich jak *SW[7..0]*, *TEST\_BUTTON* itp., które symbolizują elementy na płycie ewaluacyjnej. Te specjalne elementy pełnią rolę zwykłych portów. Możemy zamienić je na tradycyjną postać, klikając każdy element i wybierając z menu *Tools>Convert>Convert Part To Ports*.

Spójrzmy teraz od strony projektu PCB, a dokładnie na automatycznie wygenerowany arkusz schematu *FPGA\_U1\_Auto.SchDoc*. Widać na nim element U1, który reprezentuje układ Xilinx Spartan-3 XC3S400-5FG456C, wybrany wcześniej za pomocą kreatora (rys. 37). Jeśli przyrzeć się bliżej, zauważymy znajome etykiety: *LEDS7*, *SW1*, *CLK\_BRD* itp., „przypięte” do niektórych wyprowadzeń układu FPGA na schemacie. Wspomniane etykiety odpowiadają nazwami dokładnie nazwom portów na głównym arkuszu schematu w projekcie FPGA.

Odpowiednie sprzężenie zapewnia plik *PCB\_Constraints.Constraint*, który został wygenerowany automatycznie przez kreator, aby oszczędzić żmudnej pracy projektantowi. Nasz plik zawiera niezbędny zestaw informacji: typ układu FPGA, nazwę projektu oraz powiązanie portów z fizycznymi pinami kości FPGA.

Automatycznie wygenerowany schemat *FPGA\_U1\_Auto.SchDoc* nigdy nie powinien być edytowany ręcznie. Zarządza nim Altium Designer i modyfikuje podczas synchronizacji PCB<->FPGA w sytuacji, kiedy zmiany w jednym projekcie wymagają modyfikacji drugiego. Wszystkie używane piny kości FPGA z tego arkusza są wyprowadzone poprzez porty na arkusz nadrzędny, w naszym przypadku *FPGA\_U1\_Manual.SchDoc*.

Ten schemat, jak sama nazwa wskazuje, można modyfikować ręcznie i budować na nim całe otoczenie kości FPGA. Zwykle pełni on rolę głównego (*top level*) arkusza schematu w hierarchicznym projekcie PCB. Relacje pomiędzy poszczególnymi elementami powiązanych projektów PCB i FPGA można obejrzeć w panelu *Project*, po przełączeniu na widok *Structure Editor* (rys. 39). Widzimy hierarchiczne powiązanie dokumentów, począwszy od leżącego najwyżej projektu *PCB\_LiveDesign\_Kurs.PrjPCB*, a skończywszy na pliku *Dzielnik.VHDL*, który jest najniższym w hierarchii składnikiem pro-

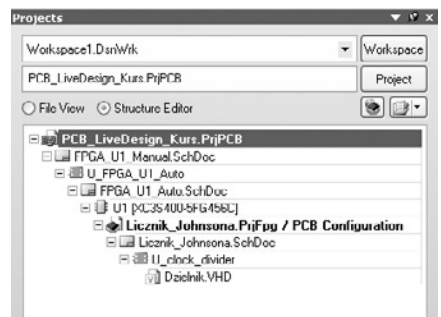
```
List. 1. Plik .Constraint utworzony dla implementacji projektu FPGA na własnej płycie PCB
.....
;Constraints File
; Device :
; Board :
; Project :
;
; Created 2005-07-06
.....
Record=FileHeader | Id=DXP Constraints v1.0
.....
Record=Constraint | TargetKind=Part | TargetId=XC3S400-5FG456C
Record=Constraint | TargetKind=PCB | TargetId=PCB LiveDesign_Kurs.PrjPCB
Record=Constraint | TargetKind=Port | TargetId=CLK_BRD | FPGA_PINNUM=A10
Record=Constraint | TargetKind=Port | TargetId=LEDS[7..0] | FPGA_PINNUM=A-3,A19,A18,A15,A14,A13,A12,A11
Record=Constraint | TargetKind=Port | TargetId=SW[7..0] | FPGA_PINNUM=AA13,A-A12,AA11,AA10,A9,A8,A5,A7
Record=Constraint | TargetKind=Port | TargetId=TEST_BUTTON | FPGA_PINNUM=AA15
```

jektu *Licznik\_Johnsona.PrjFpg*.

Modyfikacją struktury projektu zajmiemy się jeszcze w przyszłości, kiedy dojadą kolejne elementy struktury, m.in. komponenty wirtualne procesorów i pliki C z kodem dla nich.

Wracając do naszego przykładu – mamy utworzony projekt PCB związany z FPGA. Teraz należy uzupełnić schematy o wszystkie elementy, które powinny znaleźć się na płycie drukowanej w otoczeniu układu FPGA, wygenerować dokument PCB, rozmieścić elementy, poprowadzić ścieżki itd., jak w klasycznym projekcie PCB. Te zagadnienia wykraczają poza ramy kursu, więc w kolejnej części pokażemy je tylko pobieżnie. Więcej miejsca poświęcimy zagadnieniom związanym z synchronizacją projektów w sytuacji, kiedy powstanie już płyta PCB i zmiany na niej wymuszą modyfikacje projektu FPGA.

**Grzegorz Witek, Evatronix**



Rys. 39. Struktura połączonych projektów PCB i FPGA