

Cyfrowe systemy asynchroniczne (2)



Większość współcześnie projektowanych systemów cyfrowych opiera się na dwóch zasadach: wszystkie sygnały są binarne oraz czas ma naturę dyskretną określoną przez kolejne takty sygnału zegarowego. Odrzucenie drugiego z założeń prowadzi do systemów określanych jako *asynchroniczne*.

Układy asynchroniczne typu Huffmana

Przeгляд rodzajów układów asynchronicznych rozpoczniemy od klasycznych układów Huffmana. Takie układy asynchroniczne są oparte na modelu ograniczonych opóźnień. W modelu zakłada się, że opóźnienia wszystkich elementów układu oraz przewodów łączących te elementy są znane lub przynajmniej ograniczone od góry. Struktura układów Huffmana jest zbliżona do struktury układów synchronicznych (rysunek 5), w których zamiast przerzutników taktowanych zewnętrznym sygnałem zegarowym, w pętli sprzężenia zwrotnego znajdują się elementy opóźniające. Dla modelu z rysunku 5 istotne jest, aby stan wyjść $z_1 \dots z_m$ układu kombinacyjnego, spowodowany zmianą

stanu wejść $x_1 \dots x_n$, został ustalony wcześniej niż nastąpi zmiana stanu bieżącego całego układu (także stanu wyjść $y_1 \dots y_k$). Ponadto, tylko jeden bit zmiennych stanu $y_1 \dots y_k$ może zmieniać się w czasie. Wymienione założenia prowadzą do tzw. trybu podstawowego pracy układu (*fundamental mode*), w którym kolejna zmiana stanów wyjść układu nie może nastąpić wcześniej, niż cały układ osiągnie stan stabilny po poprzedniej zmianie stanów wejść.

Przykład prostego asynchronicznego układu typu Huffmana pokazaliśmy już na rysunku 4 (część 1.) przy omawianiu zjawiska hazardu w układach sekwencyjnych. Projektowanie układów asynchronicznych Huffmana, chociaż jest znacznie trudniejsze od metod projektowania układów synchro-

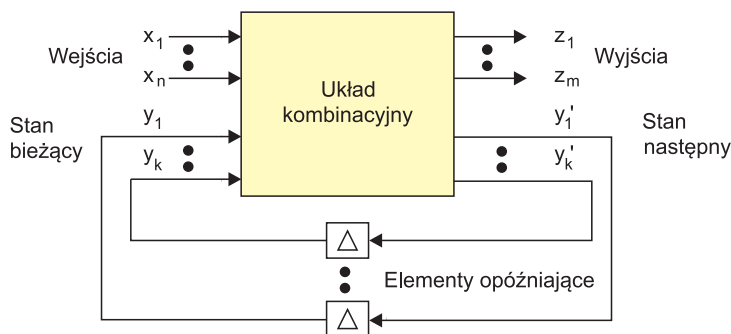
nicznych (eliminacja hazardów, odpowiednie kodowanie stanów w celu uniknięcia wyścigów), należy do podstaw teorii układów cyfrowych i jest dobrze udokumentowane również w polskiej bibliografii [6]. Dlatego skoncentrujemy się na innych typach układów asynchronicznych nieopisywanych w publikacjach książkowych w języku polskim.

Układy asynchroniczne z samotaktowaniem

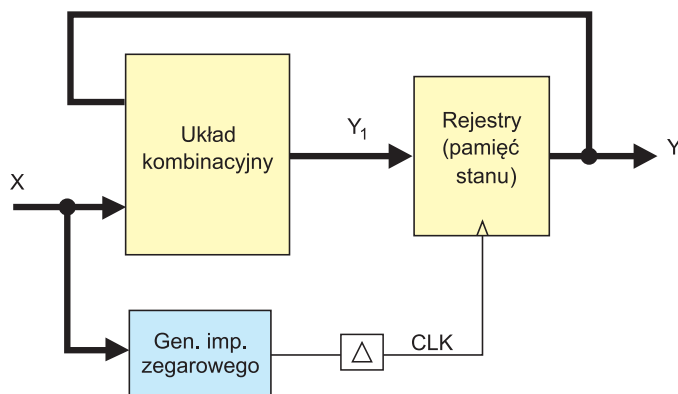
Układy z samotaktowaniem (*self-clocked*) (rysunek 6) mają bardzo zbliżoną strukturę do układów synchronicznych. Również występuje w nim pamięć stanu układu z użyciem przerzutników wyzwanych zbroczem (*flip-flop*) oraz blok logiki kombinacyjnej odpowiedzialny za wyznaczenie następnego stanu automatu na podstawie aktualnego stanu wejścia i stanu bieżącego automatu. Jednak w przeciwieństwie do układów synchronicznych, impuls zegarowy taktujący przerzutniki, wytwarzany jest lokalnie w odpowiedzi na zmianę stanu wejścia układu lub jedynie wówczas, gdy konieczna jest zmiana stanu automatu.

W jednej z pierwszych prac (datowanej na rok 1971) dotyczących syntezy układów asynchronicznych z samotaktowaniem autorzy zaproponowali wytworzenie impulsu w odpowiedzi na zmianę stanu wejścia układu i zastosowanie tego sygnału do taktowania przerzutników wyzwanych zbroczem, pełniących rolę pamięci zmiennych stanu automatu asynchronicznego (rysunek 6). Impuls taktujący jest generowany poprzez sumator modulo 2 wykrywający zmianę stanu wejścia i przerzutnik monostabilny wytwarzający impuls o odpowiedniej szerokości. Dodatkowo, jest potrzebny element opóźniający wytworzony sygnał zegarowy zapewniający zachowanie czasu ustalania danych na wejściach przerzutnika, jak również ustalenie wartości na wyjściu Y_1 układu kombinacyjnego (hazardy). W takim przypadku synteza układu jest bardzo podobna do syntezy układów synchronicznych. Istotną zaletą takiego podejścia jest to, że problem hazardów i wyścigów został wyeliminowany, podobnie jak ma to miejsce w układach synchronicznych.

Po opublikowaniu wspomnianej pracy opisano wiele modyfikacji pierwotnej architektury układów z samotaktowaniem. W jed-



Rysunek 5. Klasyczny układ asynchroniczny typu Huffmana



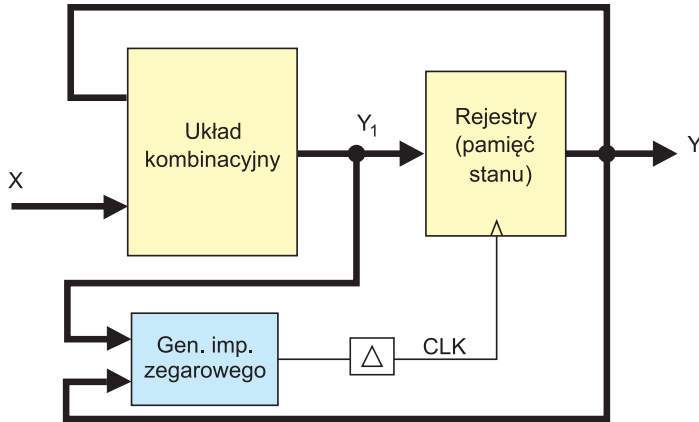
Rysunek 6. Ogólny model układu asynchronicznego z samotaktowaniem – sygnał zegarowy jest funkcją zmiennych wejściowych

nym układów impuls zegarowy wytwarzany jest tylko w momencie, gdy występuje niezgodność bieżącego stanu automatu ze stanem następnym. Impuls zegarowy po przejściu

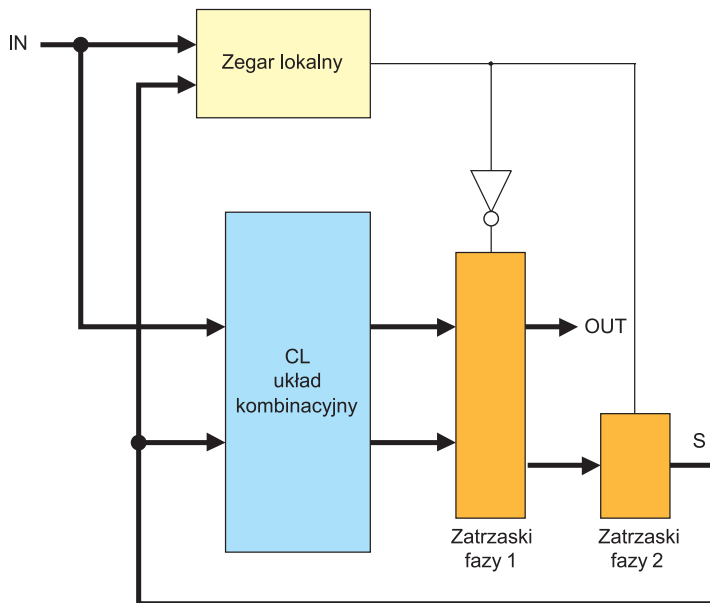
przez element opóźniający taktuje zespół przerzutników typu *flip-flop*. Obwód wytwarzający impuls zegarowy jest niezależny od pozostałej części automatu asynchroniczne-

go – **rysunek 7**. W przypadku zastosowania przerzutników typu D jako pamięci stanu, układ generujący impuls zegarowy może być zrealizowany jako zwykły komparator porównujący bieżący stan automatu (wyjście przerzutnika) ze stanem następnym (wejście D). W momencie, gdy stany będą różne, zostanie wytworzony impuls zegarowy.

Wadą tej architektury jest konieczność wyeliminowania zjawiska hazardu w układzie kombinacyjnym odpowiadającym za wyznaczenie następnego stanu automatu (Y_1). Inną wadą jest konieczność zastosowania obwodu opóźniającego (blok Δ), co nie jest łatwe do implementacji w strukturach VLSI i dodatkowo spowalnia działanie całego układu. Jednak zaletą jest to, że sposób kodowania stanów może być dowolny (nieistotne są wyjści).
Przykładami asynchronicznych automatów sekwencyjnych z lokalnie generowanym sygnałem zegarowym są układy pracujące w trybie pakietowym (*burst-mode*) [7]. Układy te muszą spełniać ograniczenie do trybu podstawowego, ale pozwalają na jednoczesną zmianę stanu wielu wejść (MIC).

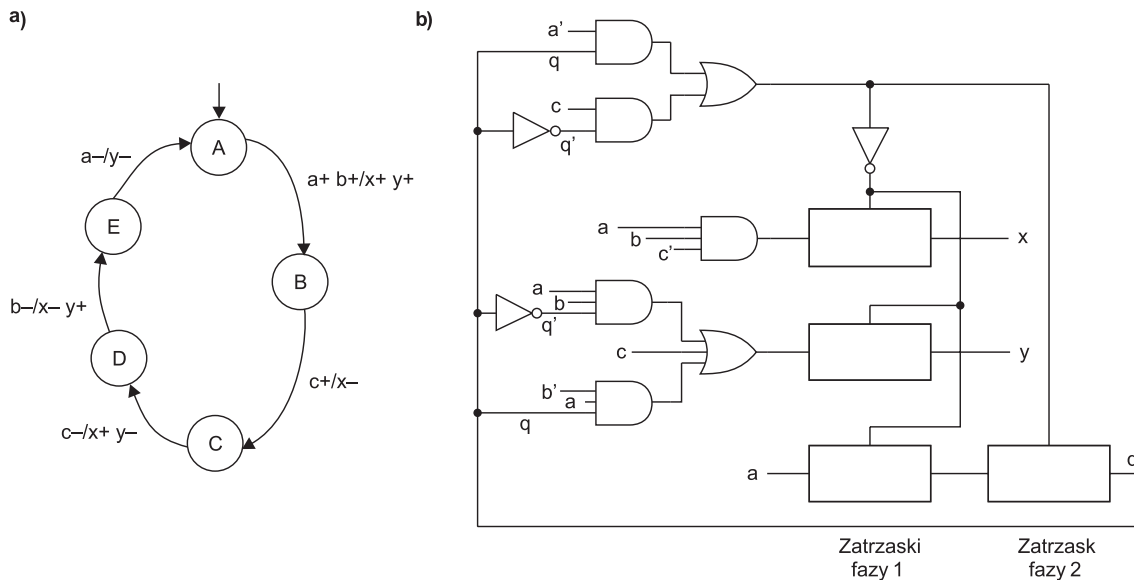


Rysunek 7. Model układu asynchronicznego z samotaktowaniem – sygnał zegarowy jako funkcja stanów bieżącego i następnego



Rysunek 8. Struktura układu asynchronicznego pracującego w trybie pakietowym (*burst mode*)

Na **ryśunku 8** przedstawiono schemat blokowy asynchronicznego automatu sekwencyjnego z lokalnie generowanym sygnałem zegarowym, pracującego w trybie pakietowym. Automat składa się z układu kombinacyjnego CL, elementów pamięciowych – zatrzasków, kombinacyjnego bloku wytwarzania sygnału zegara, zespołu wejść oznaczonych jako IN, wyjść OUT oraz zmiennych stanu S, które podawane są zwrotnie do układów kombinacyjnych. Zmiana stanu automatu następuje tylko wówczas, gdy pojawi się nowy pakiet wejściowy (nastąpi zmiana stanu wybranych wejść określanych jako pakiet wejściowy). Z tego powodu sygnał zegara zależy tylko od bieżącej wartości wejść oraz stanu, w którym aktualnie znajduje się automat. Układ wytwarzający sygnał zega-



Rysunek 9. Przykładowy układ pracujący w trybie pakietowym: a) specyfikacja, b) implementacja

rowy jest układem kombinacyjnym. Sygnał zegarowy jest odwracany w fazie, aby odpowiednio sterować pracą zatrząsków fazy 1 oraz fazy 2. Zmienne wyjściowe (OUT) są podawane na wejścia rejestrów zatrząskowych fazy 1. Rejestry te przepisują dane, gdy sygnał zegarowy przyjmuje poziom niski. Z kolei zmienne stanu przechodzą przez parę rejestrów zatrząskowych fazy 1 oraz fazy 2, formując w ten sposób przerzutnik typu *flip-flop* wyzwany zbroczem. Wartości zmiennych stanu są zatrząskiwane, gdy sygnał zegara przyjmuje poziom niski. Rejestry zatrząskowe fazy 2 są statyczne, podczas gdy zatrząski fazy 1 mogą być zarówno statyczne jak i dynamiczne.

Na **rysunku 9** przedstawiono specyfikację przykładowego, asynchronicznego automatu sekwencyjnego pracującego w trybie pakietowym oraz jego implementację. Każde przejście ze stanu do stanu na grafie automatu jest etykietowane następująco: podawany jest pakiet wejściowy, za którym następuje pakiet wyjściowy. Obydwa pakiety przedzielone są znakiem ukośnika (*slash*). Zbrocze narastające oznaczone jest jako „+”, a opadające jako „-”. Graf przedstawiony na rys. 9a opisuje prosty układ sterujący o 3 wejściach (a, b, c) oraz 2 wyjściach (x, y).

Implementacja automatu, pokazana na rys. 9b opiera się na nieco zmodyfikowa-

nej specyfikacji grafu, dla której dokonano redukcji stanów (redukcja może być dokonana metodami stosowanymi dla układów synchronicznych). Stany A oraz B zostały ze sobą połączone (zmienna stanu $q=0$), podobnie połączono stany C, D oraz E (zmienna stanu $q=1$).

Analizując zaprezentowaną implementację możemy zauważyć, że impuls zegarowy jest generowany tylko wówczas, gdy konieczna jest zmiana stanu automatu (np. ze stanu B do C). Dla pozostałych przejść impuls zegarowy nie jest wytwarzany, nawet jeśli konieczna jest zmiana wartości wyjść, np. ze stanu A do stanu B. Ogólnie, wyjście sygnału zegarowego jest ustawiane w momencie nadejścia odpowiedniego pakietu wejściowego, a kasowane w wyniku zmiany stanu całego automatu.

Zaletą tego rozwiązania jest, że układ logiczny odpowiedzialny za zmianę stanu automatu może być projektowany tak samo, jak synchroniczny. Jednak układy kombinacyjne, których zadaniem jest wytworzenie sygnału zegarowego oraz zmiana wartości wyjść muszą być wolne od zjawiska hazardu. Proces projektowania układów asynchronicznych pracujących w trybie pakietowym został również w znacznym stopniu zautomatyzowany [7].

Podsumowanie

Prezentacja podstawowych zagadnień dotyczących układów asynchronicznych, omówienie ich wad i zalet, a także opis najczęściej cytowanych w literaturze przedmiotu ich rozwiązań architektonicznych, z pewnością zwróci uwagę Czytelników na te, trochę zaniedbane w zastosowaniach układy cyfrowe.

Zbigniew Hajduk
zhajduk@prz-rzeszow.pl

Bibliografia:

1. Myers Ch. J.: *Asynchronous Circuit Design*, John Wiley & Sons Inc., 2001.
2. Hauck S.: *Asynchronous Design Methodologies: An Overview*,
3. Handshake Solutions: <http://www.handshakesolutions.com/>.
4. Borkar S.: *Does asynchronous logic design really have a future?*, *EE Times*, 2003.
5. Unger S. H., *Hazards, Critical Races and Metastability*, *IEEE Trans. on Comp.*, Vol. 44, No. 6, June 1995.
6. Kalisz J., *Podstawy elektroniki cyfrowej*, WKŁ, Warszawa 1998.
7. Nowick S. M.: *Automatic Synthesis of Burst-Mode Asynchronous Controllers*, *Technical Report*, CSL-TR-95-686, December 1995.

REKLAMA

MONTAŻ PŁYTEK ELEKTRONICZNYCH

Linia montażowa oparta o urządzenia:

JUKI
ERSA
EKRA

Wykonujemy szablony SMT wycinane laserowo na najnowszej obrabiarce firmy:

Produkcja od etapu projektu.

ul. Zwoleńska 43/43a, 04 - 761 Warszawa

tel. 022 615 73 71, 022 615 64 31

info@semicon.com.pl www.semicon.com.pl