

# Projektowanie oszczędnych układów elektronicznych (3)

## Układy CMOS – dobór elementów i rozwiązań układowych



*Dobór elementów elektronicznych odpowiednich do budowy układów o niskim poborze prądu jest czynnością pracochłonną, gdyż trzeba w tym celu przestudiować wiele kart katalogowych z ofert różnych producentów. Elementy w układach mikroprądowych zazwyczaj pracują przy granicznych, dopuszczalnych wartościach napięcia zasilania, dlatego szczególnie uważnie trzeba analizować informacje podane najdrobniejszym drukiem w notach katalogowych oraz wykresy zależności wartości parametrów od warunków pracy.*

*W artykule zawarto zalecenia konstrukcyjne prowadzące do ograniczenia poboru prądu w układach cyfrowych CMOS.*

Obecnie są dostępne na rynku dziesiątki rodzin układów cyfrowych (bipolarnych, CMOS, Bi-CMOS), wywodzących się od historycznej już serii TTL 74. Każda rodzina jest optymalizowana pod kątem określonych parametrów (szybkości, obciążalności, poboru mocy, odporności na zakłócenia itp.). W niniejszym artykule ograniczymy się do najbardziej rozpowszechnionych układów CMOS rodzin: 74HC i 4000 oraz niskonapięciowych LV. Dopuszczalne przedziały napięcia zasilania tych układów wynoszą: 2 do 6 V dla rodziny 74HC, 3 do 15 V dla rodziny 4000, oraz 1,0 do 5,5 V lub 0,8 do 3,6 V dla rodzin niskonapięciowych.

### Moc tracona w warunkach statycznych i dynamicznych

Stwierdzenie, że „układy CMOS praktycznie nie pobierają prądu” brzmi pięknie, ale nie jest prawdziwe. Prąd, jaki pobiera ze źródła zasilania bramka CMOS, ma dwie składowe: statyczną i dynamiczną. Składowa statyczna jest prądem, jaki płynie w stanie ustalonym, gdy stany logiczne bramki nie zmieniają się. Prąd ten jest sumą prądów wstecznych wejściowych diod za-

bezpieczających i prądów podprogowych tranzystorów MOS. Jego wartość dla pojedynczej bramki jest rzędu kilku mA. Dynamiczna składowa poboru prądu występuje, gdy zmieniają się stany logiczne bramki. Na wartość prądu dynamicznego wpływają dwa czynniki. Pierwszy jest związany z ładowaniem dołączonych do masy pojemności wewnętrznych i zewnętrznych. Natomiast drugi jest związany z przełączaniem komplementarnych tranzystorów MOS, gdyż podczas tego przełączania występuje przypadek, że oba tranzystory równocześnie przewodzą. Przy wyższych napięciach zasilania przeważa czynnik pojemnościowy, a przy niższych

istotne staje się wydłużenie czasu narastania/opadania sygnałów, bowiem wydłuża się czas, w którym prąd płynie wskroś obydwu tranzystorów obwodu CMOS. Z pewnym uproszczeniem można przyjąć, że składowa dynamiczna mocy traconej w bramce jest proporcjonalna do: sumarycznej pojemności obciążającej i wejściowej układów przełączanych, kwadratu napięcia zasilania, częstotliwości przełączania i czasów narastania/opadania sygnałów wejściowych. Przy dużych częstotliwościach i dużych wartościach pojemności obciążenia, dynamiczny pobór prądu układów CMOS może być wyższy od statycznego co najmniej o 3 rzędy wielkości (np. 1 mA/bramkę w warunkach statycznych i 0,5 mA/bramkę przy 1 MHz). Do oszacowania składowej dynamicznej mocy traconej w układach CMOS można stosować wzór ( $P_D$  w mW):

$$P_D = C_{pd} \cdot V_{cc}^2 \cdot f_i \cdot N + S(C_L \cdot V_{cc}^2 \cdot fo)$$

gdzie:

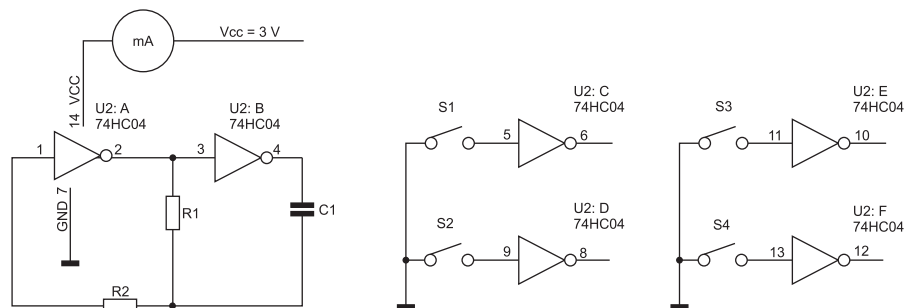
$C_{pd}$  – równoważnik pojemności wejściowej (ok.  $2 \cdot C_{we}$ ) [pF],

$f_i$  – częstotliwość wejściowa [MHz],

$fo$  – częstotliwość wyjściowa w [MHz],

$C_L$  – pojemność obciążenia [pF],

$V_{cc}$  – napięcie zasilania [V],



Rysunek 12. Schemat układu testowania bramki CMOS

$N$  – liczba przełączanych wyjść,  
 $S(C_L \cdot V_{cc}^2 \cdot fo)$  – suma obciążeń wyjść.

## Doświadczenia z układami CMOS

Właściwości i zasady stosowania układów CMOS najłatwiej zilustrować za pomocą kilku prostych pomiarów, do których wykorzystamy płytkę testową o schemacie z **rysunku 12**.

**Test 1: Składowa statyczna prądu pobieranego z zasilania.** W tym teście wejścia bramek C...F są zwarte do masy, a generator wyłączony poprzez odłączenie C1. Zgodnie ze specyfikacją parametrów rodziny 74HC, prąd dla układów bramkowych i przerzutnikowych małej skali integracji wynosi maksymalnie  $2 \mu A$  na układ w temperaturze pokojowej oraz do 20 mA w pełnym zakresie temperatury roboczej. W rzeczywistości jest znacznie lepiej; dla przetestowanych kilkunastu egzemplarzy układu 74HC04 (różnych producentów) prąd statyczny wynosił poniżej  $0,1 \mu A$  w temperaturze pokojowej.

**Test 2: Prąd zasilania bramek z otwartym wejściem.** Producenci zalecają łączenie wejść niewykorzystanych bramek do masy lub zasilania, lecz bez podawania przyczyny. Efekt działania niepodłączonych wejść stał się widoczny po otwarciu przełączników S1...S4. Otwarcie S1 spowodowało wzrost prądu statycznego do 0,6 mA, po otwarciu S1 i S2 było już 1,2 mA, a otwarcie wszystkich czterech przełączników dało prąd statyczny 2,4 mA. Zbliżenie pracującego telefonu komórkowego do płytki testowej wywołało chwilowe skoki poboru prądu, maksymalnie do 6 mA. Przyczyna: otwarte wejścia o bardzo dużej impedancji są wrażliwe na zakłócenia elektromagnetyczne, pojemność wejściowa naładowana do wysokiego poziomu napięcia utrzymuje ten stan przez pewien czas. W stanach pośrednich bramka pracuje w zakresie liniowym – czyli jako wzmacniacz o bardzo dużym wzmocnieniu.

**Test 3: Pojemności obciążenia.** Bramki A i B tworzą generator RC. Elementy R1, C1, R2 zostały dobrane tak, aby częstotliwość generatora wynosiła ok. 1,5 kHz. W **tabeli 4** zamieszczono wyniki pomiaru prądu dla dwóch wartości C1: 10 nF i 1 nF. Otrzymane wyniki wskazują wyraźnie, że stosując elementy RC z układami CMOS, należy wybierać w miarę możliwości duże wartości rezystancji R i małe pojemności.

W opisywanym teście zmniejszenie wartości pojemności C1 spowodowało redukcję poboru prądu o ok. 25% przy napięciu zasilania 3 V. Różnica byłaby jeszcze większa przy wyższym napięciu zasilania układu,

Tabela 4. Test zależności poboru prądu od pojemności obciążenia

R1	R2	C1	I <sub>cc</sub>
27 kΩ	100 kΩ	10 nF	0,25 mA
270 kΩ	470 kΩ	1 nF	0,18 mA

ponieważ energia przeładowania kondensatora jest proporcjonalna do kwadratu napięcia. Poza tym, układy całkujące RC powodują zwiększenie czasów narastania/opadania napięć na wejściach bramek, czego efektem jest zwiększony pobór prądu podczas przełączania. W przypadku wolno zmieniających się napięć na wejściach, należy stosować bramki z wejściem Schmitta (np. 74HC14).

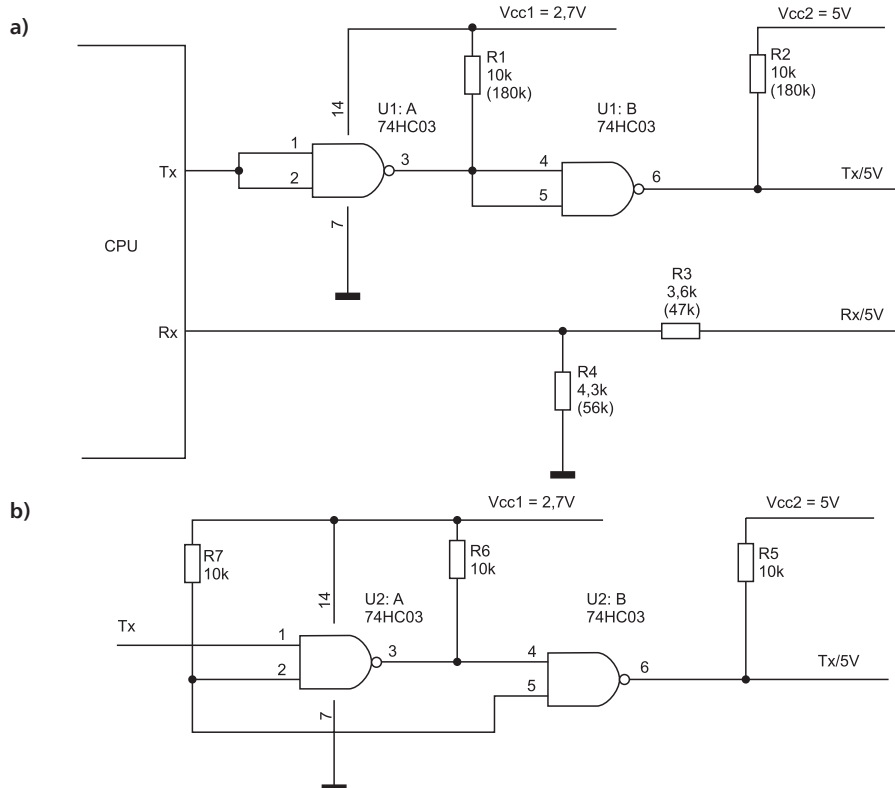
## Rezystory podciągające

Rezystory podłączone między wejściem cyfrowym a napięciem zasilania (pull-up) lub masą (pull-down) są powszechnie stosowane w układach cyfrowych. Ich funkcje mogą być następujące:

- W szynach magistral danych ze sterującymi buforami trójstanowymi ustalają odpowiedni stan logiczny wejść, gdy wyjścia bufora są w stanie wysokiej impedancji. Podobną rolę pełnią w obwodach rozłączalnych (gniazda kart pamięci, czujniki podłączane do gniazd wtykowych itp.).
- Wysterowanie obciążenia w stanie wysokim, na wyjściach typu otwarty dren (np. interfejs I<sup>2</sup>C).
- Zwiększenie obciążalności w stanie wysokim dla quasi-dwukierunkowych portów z niesymetrycznym wyjściem, stosowanych w niektórych mikrokontrolerach (np. 8051).
- Wymuszenie odpowiedniego stanu początkowego dla wejść współpracujących z klawiaturami, czujnikami itp.

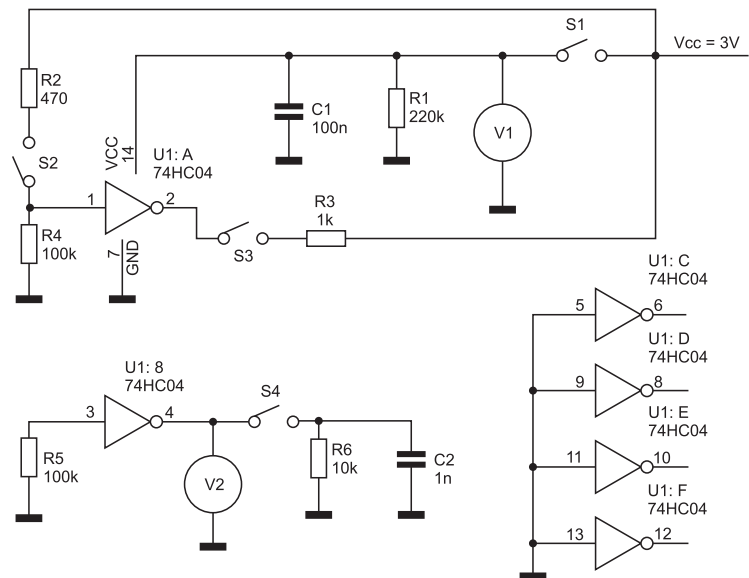
Brak tych rezystorów może spowodować konsekwencje opisane powyżej (Test 2).

Niestety, każdy rezystor podciągający oznacza dodatkowy (często spory) pobór prądu, zależny od aktualnego stanu logicznego na wejściu. Obliczmy przykładowe wartości dla 8-bitowej magistrali danych z rezystorami pull-up  $8 \times 10 \text{ k}\Omega$  i napięciu zasilania 5 V. Jeżeli założymy losową wartość stanów logicznych magistrali, to statystycznie w każdej chwili połowa linii jest na poziomie niskim, a średni prąd płynący przez rezystory podciągające wynosi  $4 \times 5 \text{ V} / 10 \text{ k}\Omega = 2 \text{ mA}$ . Jeżeli jedyną rolą rezystorów podciągających jest ustalenie stanu logicznego wejść, to nie ma żadnych racjonalnych powodów dla stosowania małych wartości rezystancji. Można użyć rezystorów rzędu 100...220 kΩ. Gorzej jest w przypadku wyjść z otwartym drenem. W tym przypadku wartość rezystora jest zdefiniowana pojemnością obciążenia, która musi zostać przeładowana wystarczająco szybko przy zmianie poziomu L na H. Podobnie jest w przypadku wejść cyfrowych współpracujących z długimi liniami transmisyjnymi – mała wartość rezystora podciągającego zmniejsza impedancję wejściową i poprawia odporność na zakłócenia. Wówczas należy zadbać o to, aby stan logiczny wymuszający przepływ prądu przez rezystor (poziomy niski dla pull-up, wysoki dla pull-down) pojawiał się jak najrzadziej. Przykład niefrasobliwego zastosowania układów open-drain z rezystorami jest pokazany na **rysunku 13a**). Dwie „zbywające” bramki z otwartym drenem (74HC03) zostały wykorzystane do konwersji poziomów logicznych portu szeregowego z 2,7 do 5 V. Początkowo zastosowano



Rysunek 13. Schemat układu konwersji poziomów napięcia z bramkami open drain: a) zazwyczaj stosowany, b) zalecany

wartości rezystorów podane w nawiasach. Niestety opóźnienia wprowadzane przez całkujące obwody RC, złożone z rezystorów R1 i R2 oraz pojemności wejściowych bramek, były na tyle duże, że już przy prędkości transmisji 4800 bps występowały błędy. Niekompensowany częstotliwościowo dzielnik R3, R4 także może być źródłem błędów przy większych prędkościach transmisji. Dla uzyskania prędkości 38400 bps konieczne było znaczne zmniejszenie wartości rezystorów. Przy nieaktywnym łączu na liniach Rx i Tx jest logiczna „1”, czyli w stanie statycznym suma prądów płynących przez rezystory R1, R3 i R4 wynosiła 0,9 mA. Niby niewiele, ale było to 10% poboru prądu całego urządzenia. Zazwyczaj takie właśnie są efekty próby zaoszczędzenia kilku bramek. Kolejnym błędem w układzie z rysunku 13 było zwarcie obu wejść bramek, co dwukrotnie zwiększyło ich pojemności wejściowe (które są przecięznię pojemnością obciążenia dla bramek sterujących). Jest to rozwiązanie często stosowane przez konstruktorów w przypadku wykorzystywania bramek NAND i NOR jako inwerterów, upraszczające wykonanie projektu płytki drukowanej. Takie połączenie jest dopuszczalne przy bardzo małych częstotliwościach przełączania bramek. Przy dużych częstotliwościach skutkuje większym poborem prądu oraz pogorszeniem właściwości dynamicznych układu. Lepszy sposób połączenia wejść nadmiarowych bramek NAND wykorzystywanych jako inwertery jest przedstawiony na **rysunku 13b**). Dla bramek NOR należy te wejścia łączyć z masą.



Rysunek 14. Schemat układu testowania bramek CMOS bez włączonego zasilania

nie nieprzewidywalnie – przypadkowe wartości napięcia V1 i V2. UWAGA: testy powtórzone przy Vcc = 5 V niezmiennie kończyły się uszkodzeniem układu.

Efekty te są łatwe do wytłumaczenia: od strony wejścia układ otrzymywał zasilanie za pośrednictwem diody zabezpieczającej przed przepięciem, natomiast od strony wyjścia – poprzez pasożytniczą diodę górnego tranzystora stopnia wyjściowego. Po naładowaniu kondensatora C1 prąd diody przestawał płynąć i bramki były w stanie aktywnym. Dopóki prąd statyczny był bardzo mały, układ pozostawał w stanie stabilnym. Wzrost prądu wywoływał spadek napięcia

na C1 i cykl powtarzał się. Odłączenie R1 i C1 spowodowało, że układy zabezpieczające przestały działać, a pojemności wewnętrzne układu mogły naładować się do wyższych napięć. Nawet niewielki ładunek elektrostatyczny wystarczył do przebicia izolacji bramek tranzystorów.

Na **rysunku 15** przedstawiono kilka sposobów połączenia portu mikrokontrolera z blokiem cyfrowym B1, którego zasilanie jest czasowo odłączane. Wejścia i wyjścia bloku B1 są reprezentowane przez inwertery CMOS. Odłączanie zasilania B1 jest sterowane przez MCU za pośrednictwem pinu P0 i klucza tranzystorowego P-MOS.

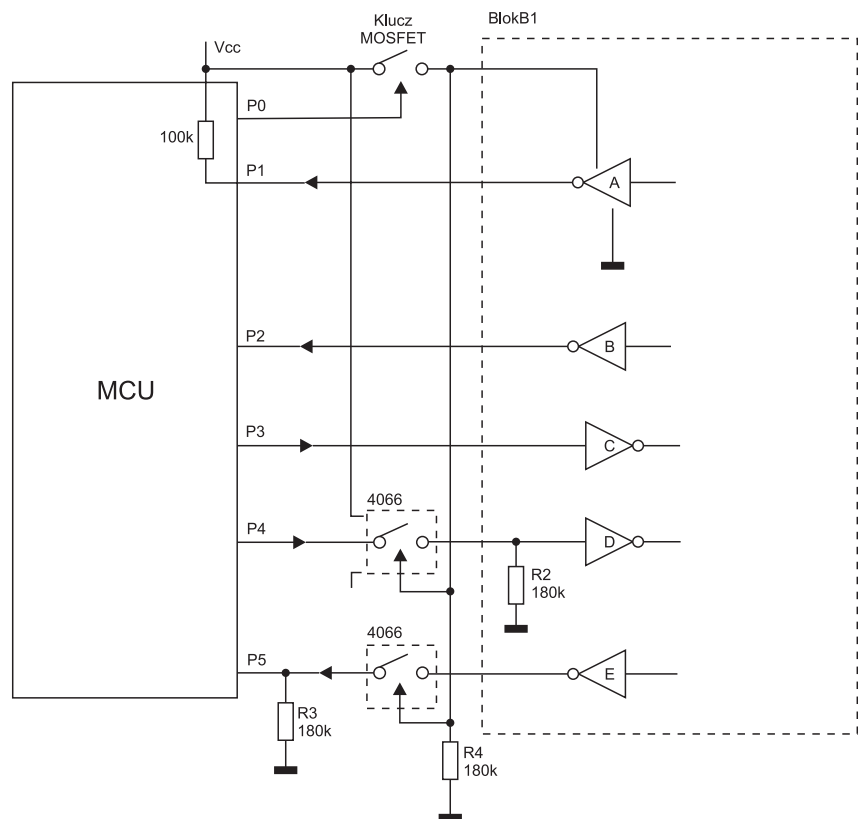
### Częściowe odłączanie zasilania

W celu ograniczenia poboru prądu często stosuje się wyłączenie zasilania tych bloków funkcjonalnych urządzenia, które aktualnie nie są używane. W przypadku układów CMOS należy bardzo uważać, aby na wejściach i wyjściach bloków pozbawionych zasilania nie występowały wysokie poziomy napięcia. Do zbadania niepożądanych zjawisk użyjemy kolejnego układu testowego (**rysunek 14**).

**Test 1: Zasilanie odłączone, na wejściu poziom wysoki** (otwarty S1, zamknięty S2). Napięcie V1 i V2 wynosiło ok. 2,5 V, a po zwiększeniu obciążenia (zamknięty S4) obie wartości napięcia nieznacznie spadły i wykazywały tendencję do oscylacji.

**Test 2: Zasilanie odłączone, na wyjściu poziom wysoki** (otwarty S1, zamknięty S3). Efekt podobny jak w teście 1 przy nieznacznie niższych wartościach napięcia. Chwilami pojawiały się przypadkowe skoki napięcia w górę lub w dół. Większa tendencja do oscylacji po zamknięciu S4.

**Test 3: Zasilanie odłączone, brak R1 i C1.** Powtórzony test 1 i 2 po usunięciu R1 i C1, czyli z pinem zasilania „wiszącym w powietrzu”. Układ zachowywał się zupeł-



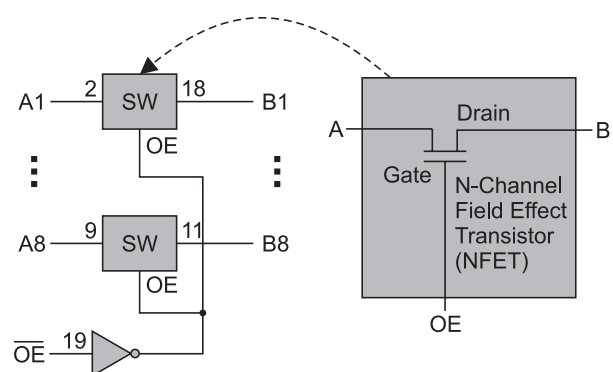
Rysunek 15. Współpraca mikrokontrolera z blokiem CMOS odłączonym od zasilania

**Pin P1 – wyjście A.** Błąd! Pin mikrokontrolera skonfigurowany jako wejście ma wewnętrzny rezystor podciągający, przez który popłynie prąd zasilania do bloku B1. Wartość rezystora podciągającego jest na tyle duża, że ryzyko uszkodzeń jest minimalne, ale dla układów CMOS nawet te kilkanaście mikroamperów może wystarczyć do podtrzymania stanu statycznego w teoretycznie wyłączonym bloku B1.

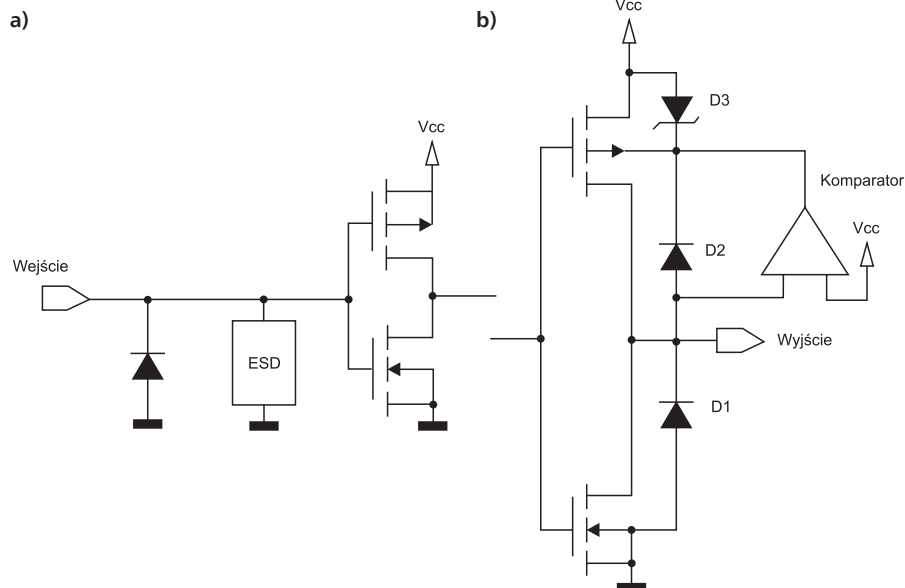
**Pin P2 – wyjście B.** Po wyłączeniu zasilania bloku B1, wejście P2 ma nieokreślony stan logiczny. W niektórych typach mikrokontrolerów może to doprowadzić do nieprzewidzianych efektów, jeżeli wskutek zakłóceń na wejściu pojawi się napięcie o wartości pośredniej między stanem „0” i „1”. Bezpieczniej byłoby zastosować rezystor „pull-down” o wartości 100...300 kΩ.

**Pin P3 – wejście C.** Rozwiązanie dopuszczalne, jeżeli po wyłączeniu zasilania bloku B1 możemy zagwarantować niski poziom wyjścia P3. Dotyczy to także sytuacji takich, jak reset mikrokontrolera, błędy i zawieszanie oprogramowania. Trudno zapewnić stuprocentową niezawodność wykonywania programu, dlatego czasem stosuje się szeregowo włączony rezystor o wartości kilku kΩ, który zabezpieczy układ przed uszkodzeniem w stanach awaryjnych.

**Pin P4 – wejście D i P5 – wyjście E.** Całkowita separacja obwodów za pomocą kluczy analogowych CMOS (załączanych po włączeniu zasilania bloku B1) jest rozwiązaniem bardziej skomplikowanym, ale pewnym i skutecznym. Podobną rolę mogą też pełnić bufony z wyjściem trójstanowym, lecz zaletą kluczy CMOS jest bardzo mały pobór prądu w warunkach statycznych oraz możliwość pracy dwukierunkowej. Rezystor R2 nie jest konieczny, ale zmniejsza ryzyko stanów nieustalonych podczas narastania i opadania napięcia zasilającego. Układy separujące są zalecane dla tych mikrokontrolerów, w których większość pinów we/wy jest wyposażona w wewnętrzne rezystory podciągające (np. ARM7 i ARM9). Dostępne są układy kluczujące przeznaczone specjalnie do tego celu, na przykład CBT3245 produkcji Texas Instruments (**rysunek 16**). Jako elementy



Rysunek 16. Schemat 8-bitowego zespołu kluczy N-FET typu CBT3245



Rysunek 17. Obwody wejściowe a) i wyjściowe b), dla których mogą być stosowane napięcia większe od VCC

kluczujące zastosowano tranzystory N-FET sterowane logiką CMOS. Układ może pracować dwukierunkowo i jest przewidziany do zasilania napięciem 5 V. Jest też wersja niskonapięciowa (CBTLV3245), z użyciem do kluczowania pary komplementarnej N-FET i P-FET. Klucze innej wersji o symbolu CB3T3245 mają dodatkową funkcję konwersji poziomów z 5 V na 3,3 V (przy  $V_{CC}=3,3$  V) lub z 5 V/3,3 V na 2,5 V (przy  $V_{CC}=2,5$  V).

### Układy niskonapięciowe LV

Jak już wspomniano, składowa dynamiczna moc w układach CMOS jest proporcjonalna do kwadratu napięcia zasilania, czyli obniżenie  $V_{CC}$  daje największe możliwości redukcji strat mocy. Niestety, parametry dynamiczne standardowych rodzin 74HC i 4000 ulegają pogorszeniu przy niskich napięciach zasilania (rośnie czas przełączania i propagacji, maleje obciążalność). Nowe technologie produkcji układów CMOS (niższe napięcie progowe, mniejsze struktury) umożliwiły opracowanie rodzin układów niskonapięciowych, o porównywalnych parametrach przełączania, ale niższych stratach mocy w warunkach statycznych i dynamicznych niż

w układach standardowych CMOS. Wiodący producenci opracowywali własne rodziny niskonapięciowych układów CMOS, stosując w ich symbolach podobne oznaczenia (LV, LVC, LVT, LV-A, ALV, LVX, VCX itp.). Dlatego też należy liczyć się z tym, że układy o podobnych parametrach mogą mieć różne oznaczenia u poszczególnych producentów, i odwrotnie – układy róż-

nych producentów o tym samym symbolu niekoniecznie mają identyczne parametry. Jest to tyle ważne, że właściwości układów poszczególnych rodzin znacznie się różnią. Różnorodność oferowanych układów nie jest jednak tak duża, jak w rodzinach układów standardowych. Poza podstawowymi bramkami i przerzutnikami, są to różnego rodzaju bufony dla magistral (8-bitowych i 16-bitowych), drivery linii i multipleksery. Niewiele jest bloków funkcjonalnych, takich jak dekodery, liczniki, rejestry, układy czasowe. Poza niskim napięciem zasilania, niektóre rodziny układów niskonapięciowych oferują inne interesujące właściwości, pozwalające w prosty sposób uniknąć opisywanych wcześniej problemów.

**Tolerancja +5 V na wejściu i na wyjściu.** Nazwa jest kalką językową angielskiego *5V tolerant* i nie oddaje w pełni zalet tych właściwości. Układy te dopuszczają występowanie na wejściach i wyjściach napięć większych od napięcia zasilania. Dotyczy to także przypadku wysokich poziomów napięcia na wejściach (wyjściach) układu pozbawionego zasilania (*partial power down*). Te

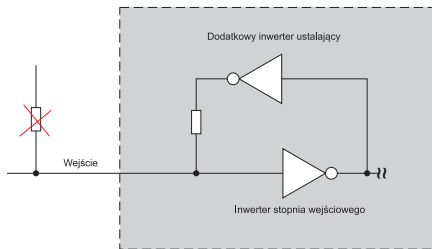
R E K L A M A



STM32  
FanClub

Nie ma w tym czarów!  
Dla fanów STM32 mamy wszystko!





Rysunek 18. Schemat obwodu podtrzymującego stan wejściowy (Bus Hold)

właściwości umożliwiają rozwiązanie opisanych wcześniej problemów, a także ułatwiają konwersję poziomów logicznych. Maksymalna dopuszczalna wartość napięcia wynika z wytrzymałości izolacji bramek tranzystorów oraz napięć wstecznych diod i zwykle wynosi 3,3...5 V. Typowe rozwiązania układowe przedstawiono na rysunku 17. W obwodzie wejściowym zrezystnowano z diody łączącej wejście z Vcc i wprowadzono dodatkowy układ ochrony przed ładunkami elektrostatycznymi (ESD). Dokładniejszego omówienia wymaga obwód wyjściowy: D1 i D2 symbolizują pasożytnicze diody podłożowe tranzystorów wyjściowych, natomiast dioda D3 zabezpiecza przed przepływem prądu z wyjścia do Vcc w przypadku braku zasilania. Komparator utrzymuje potencjał podłoża górnego tranzystora na poziomie Vcc lub napięcia wyjściowego, w zależności od tego, które z tych napięć jest wyższe.

**Łączenie i rozłączanie pod napięciem (Hot insertion, Live insertion).** Właściwość ta pozwala na podłączanie i rozłączanie modułów urządzenia bez wyłączania zasilania (na przykład modułów pamięci, kart chipowych). Poza warunkami opisanymi powyżej, układy takie muszą zachowywać się w przewidywalny sposób podczas stanów nieustalonych, występujących w czasie narastania i opadania napięcia zasilania. Realizowane jest to w następujący sposób: jeżeli napięcie Vcc ma wartość niższą niż ustalony próg, to wszystkie wyjścia układu są w stanie wysokiej impedancji. Odblokowanie wyjść następuje dopiero po ustaleniu się napięcia zasilania. Podczas opadania napięcia, zachowanie układu jest identyczne. Zapobiega to przypadkowym zmianom stanu i impulsowemu

Tabela 5. Podstawowe rodziny niskonapięciowych układów CMOS

Texas Instruments	LV-A	LVC	ALVC	AVC	AUC
Minimum Vcc	2,0 V	1,2 V	1,2 V	1,2 V	0,8 V
Maksimum Vcc	5,5 V	3,6 V	3,6 V	3,6 V	3,6 V
Tolerancja Uwe > Vcc	do 5 V	do 5 V	*)	do 3,6 V	do 3,3 V
Tolerancja Uwy > Vcc	do 5 V	do 5 V	*)	do 3,6 V	do 3,3 V
Funkcja „Live insertion”	NIE	TAK	NIE	TAK	NIE
Funkcja „Bus Hold”	NIE	TAK	*)	TAK	NIE
<b>Najbliższe odpowiedniki:</b>					
NXP	LV	LVC	ALVC	AVC	AUC
Fairchild	LVX, VHC	LCX	ALVC, VCX	VCX	VCX
ST Micro	LVX	LCX, LVC	ALVC, VCX	VCX	–

\*) Dla wybranych układów

przeładowywaniu pojemności obciążenia. Dodatkowo do wyjść mogą być dołączone sieci rezystorowe zapewniające wstępną polaryzację i tłumiące oscylacje w stanach nieustalonych (tzw. *damping resistors*).

**Podtrzymanie stanu wejść (bus hold).** Układ podtrzymujący poprzedni stan logiczny wejścia, które przestało być sterowane. Właściwość ta pozwala na rezygnację z rezystorów podciągających w układach z trójstanowymi buforami szyny, oraz w przypadkach częściowego wyłączenia zasilania. Zasadę działania *bus hold* ilustruje rysunek 18. Dodatkowy inwerter przenosi stan wyjścia na wejście (oba inwertery tworzą bowiem przerzutnik RS – komórkę pamiętającą pamięci SRAM). Jego obwody wyjściowe są tak zaprojektowane, że nie obciąża wejścia ani nie powoduje przepływu prądu, jeżeli na wejściu jest prawidłowy stan logiczny. Po wykryciu stanu wysokiej impedancji, podtrzymywany jest poprzedni stan logiczny tego wejścia.

Ponieważ tolerowanie napięć wyższych od zasilania jest typowe dla niskonapięciowych układów cyfrowych CMOS, to inne dodatkowe właściwości mogą dotyczyć tylko wybranych układów z poszczególnych rodzin. Podczas projektowania należy zawsze upewnić się, czy ma je konkretny układ cyfrowy danego producenta. W tabeli 5 zamieszczono podstawowe cechy wybranych rodzin układów niskonapięciowych produkcji Texas Instruments oraz ich odpowiedniki innych producentów.

Opisane powyżej zasady mają zastosowanie nie tylko do standardowych układów cyfrowych. Zarówno mikrokontrolery, jak

i układy peryferyjne wykonane w technologii CMOS i Bi-CMOS mają podobną konstrukcję wejść i wyjść cyfrowych. Projektując urządzenia z układami dużej skali integracji należy zwracać uwagę na różnorodność poszczególnych wejść i wyjść cyfrowych. Można bowiem wpaść w „pułapkę” – oto przykładowe pułapki konstrukcyjne:

- Mikrokontrolery 32-bitowe są bogato wyposażone w układy peryferyjne. Każdy pin mikrokontrolera ma jedną lub dwie funkcje alternatywne. Dlatego też nawet w obrębie jednego portu we/wy, każdy pin może mieć inne właściwości (rezystor podciągający w górę lub w dół, otwarty dren, źródła prądowe itp.). Szczegółowa dokumentacja jest zwykle bardzo obszerna, ale niestety trzeba ją dokładnie przestudiować, żeby uniknąć przykrych niespodzianek.
- W dokumentacji popularnego modemu GSM, na pierwszej stronie jest informacja (dużym drukiem), że piny wejściowe tolerują napięcie 5 V. Po przeczytaniu pełnej dokumentacji okazało się, że dotyczy to wszystkich wejść ... z wyjątkiem dwóch, wymagających sterowania bramką z otwartym drenem.

W większości przypadków niekrytyczne błędy konstrukcyjne dotyczące współpracy wejść i wyjść cyfrowych nie powodują uszkodzeń ani błędów funkcjonowania urządzenia, natomiast prawie zawsze skutkują zwiększonym poborem prądu.

**Jacek Przepiórkowski**

R E K L A M A

**www.sklep.avt.pl • tel. 22 257 84 50**

kod handlowy: **ET20**

**ZBIORNIK DO TRAWIENIA PŁYTEK**

- pojemność zbiornika 2l
- grzałka (wkładana do zbiornika) o mocy 300 W
- pompka powodująca ciągły przepływ czynnika trawiącego i równomierne usuwanie miedzi
- przezroczysta obudowa ułatwia nadzorowanie przebiegu procesu trawienia
- wymiary wewnętrzne: 350×230×30 mm