

Przetwornice DC/DC

Problemy techniczne przy zasilaniu wysokim napięciem wejściowym

W przetwornicach DC/DC stosuje się coraz wyższe częstotliwości przełączania po to, aby zmniejszyć wymiary elementów indukcyjnych oraz kondensatorów wyjściowych i aby dzięki temu można było zaoszczędzić miejsce na płycie drukowanej. Niestety, wyższa częstotliwość kluczenia utrudnia osiągnięcie niskiego napięcia wyjściowego ze względu na krótki czas trwania impulsów PWM. W artykule zaprezentowano trzy przetwornice przykładowe, na bazie których zaprezentowano potencjalne korzyści oraz wyzwania, które stawia konstruktorowi praca z dużą częstotliwością.

Wielu producentów układów scalonych do przetwornic DC/DC pracujących z dużą częstotliwością kluczenia agresywnie promuje swoje produkty jako główną korzyść podając niewielkie wymiary gotowego systemu zasilania. Przetwornica DC/DC pracująca z częstotliwością kluczenia wynoszącą 1 lub 2 MHz jest świetną ideą, ale częstotliwość ta oddziałuje na system zasilania na więcej sposobów, niż tylko zmniejszając jego wymiary i w pewnych warunkach – podnosząc sprawność.

Wybór aplikacji

Aby pokazać konieczne do osiągnięcia kompromisy wynikające z używania dużej częstotliwości kluczenia, zbudowano trzy niezależne, impulsowe źródła zasilania pracujące z częstotliwościami przełączania wynoszącymi: 100, 300 i 750 kHz. We wszystkich tych zasilaczach założono napięcie wejściowe wynoszące 48 V, natomiast wyjściowe 5 V i prąd obciążenia 1 A.

Dopuszczalne napięcie tętnień projektowanych przetwornic ustalono na 50 mV, co wynosi około 1% napięcia wyjściowego. Ustalono również, że wartość szczyt-szczyt natężenia prądu cewki będzie wynosiła 0,5 A. Zdecydowano się na skonstruowanie każdej z omawianych przetwornic w oparciu o układ scalony TPS54160 produkowany przez Texas Instruments. Jest to konwerter z wbudowanym tranzystorem kluczującym MOSFET, pracujący w konfiguracji step-down z maksymalną częstotliwością kluczenia 2,5 MHz. Dopuszczalne napięcie wejściowe wynosi 60 V a maksymalny prąd obciążenia 1,5 A. Układ TPS54160 wymaga zewnętrznych elementów kompensujących. Częstotliwość kluczenia może być łatwo ustalana przez konstruktora (również za pomocą elementów zewnętrznych). Układ jest przeznaczony do stosowania w przetwornicach przemysłowych pracujących przy podwyższonym napięciu wejściowym.

Wybór dławika i kondensatora wyjściowego

Zmiana częstotliwości kluczenia wymaga zmiany indukcyjności dławika oraz pojemności kondensatora wyjściowego. Dla każdej z przetwornic wyznaczono wartości pojemności i indukcyjności posługując się poniższymi równaniami.

Indukcyjność dławika wyznaczono z równania:

$$L \geq (V_{out} + V_{diode}) \times \frac{1-D}{\Delta I \times f_s}$$

gdzie:

- D: współczynnik wypełnienia = 5 V/48 V = 0,104;
- ΔI : 0,5 A_{pp}.

Pojemność kondensatora można wyznaczyć ze wzoru:

$$C \geq \frac{2 \times \Delta I}{8 \times f_s \times \Delta V}$$

gdzie:

- ΔI : 0,5 A_{pp},
- ΔV : 50 mV.

Wyrażenie (2) uwzględnia, że zastosowany kondensator będzie miał pomijalnie małą rezystancję szeregową (ESR) – temu założeniu odpowiada zastosowanie kondensatora ceramicznego.

Wszystkie kondensatory użyte w opisywanych przetwornicach były kondensatorami ceramicznymi ze względu na niewielkie wymiary i małą wartość ESR. Mnożnik „2” w równaniu (2) uwzględnia spadek pojemności związany z polaryzacją kondensatora napięciem stałym.

Do oceny sprawności poszczególnych przetwornic użyto obwodu pokazanego na **rysunku 1**. Na schemacie przy niektórych komponentach nie ma wartości. Są to te elementy, które były modyfikowane dla każdej z częstotliwości kluczenia. Filtr wyjściowy zawiera dławik L1 i kondensator C2. Wartości tych komponentów dla wykonanych trzech opracowań umieszczo-

Dodatkowe informacje:

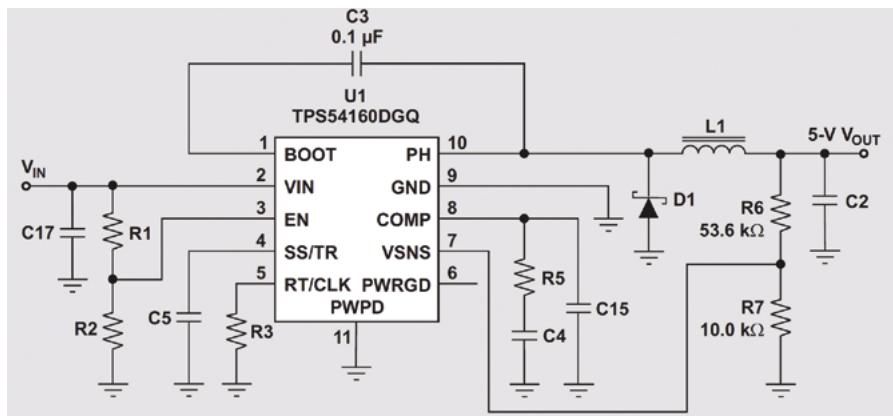
<http://power.ti.com>
<http://www.ti.com/sc/device/TPS54160>

no w **tabeli 1**. Jak wspomniano, wyliczono je na podstawie wyrażen 1a...2b. Należy zauważyć, że rezystancja stałoprądowa każdego dławika maleje wraz ze wzrostem częstotliwości. Dzieje się tak, ponieważ dławik używany przy wyższej częstotliwości ma mniej zwojów, a tym samym jest mniejsza rezystancja drutu używanego do jego wykonania. Elementy pętli kompensacji wzmacniacza błędów dobrano niezależnie dla każdej częstotliwości przełączania. Obliczenia umożliwiające dobranie tych elementów są poza ramami artykułu.

Minimalny czas załączenia

Przetwornice DC/DC są charakteryzowane przez minimalny, dający się kontrolować czas załączenia, który jest utożsamiany z najkrótszym możliwym do uzyskania impulsem obwodu modulacji PWM. W przetwornicy buck procent czasu, w którym tranzystor MOSFET jest załączony w czasie cyklu przełączania jest nazywany współczynnikiem wypełnienia i odpowiada stosunkowi napięcia wyjściowego do napięcia wejściowego. Dla układu scalonego TPS54160 współczynnik wypełnienia wynosi 0,104 (5 V/48 V), a minimalny czas załączenia podany w karcie katalogowej wynosi 130 ns. Minimalny czas trwania impulsu PWM skutkuje najmniejszym możliwym do osiągnięcia współczynnikiem wypełnienia, który może być łatwo wyliczony przez wymnożenie minimalnego czasu załączenia oraz częstotliwości kluczenia. Znając minimalny współczynnik wypełnienia, można oszacować najniższe napięcie wyjściowe mnożąc napięcie wejściowe przez niego. Najniższe napięcie wyjściowe jest również ograniczane przez napięcie referencyjne przetwornicy, które w TPS54160 wynosi 0,8 V.

W tym przykładzie, napięcie wyjściowe o wartości 5 V może być generowane z częstotliwością przełączania 750 kHz (**tabela 2**). Jeśli częstotliwość kluczenia wynosi 1 MHz, to najniższe, możliwe do uzyskania w tej przetwornicy napięcie wyjściowe wzrasta do około 6 V. Przy próbie uzyskania napięcia niższego od 6 V przetwornica będzie „gubiła impulsy”. Alternatywą jest obniżenie napięcia wejściowego lub częstotliwości kluczenia. Dlatego przed wybraniem częstotliwości kluczenia,



Rysunek 1. Schemat aplikacji układu TPS54160

Tabela 1. Pojemność kondensatora i indukcyjność cewki dla trzech przykładowych częstotliwości kluczowania

Częstotliwość kluczowania [kHz]	C2 [µF]/obudowa	L1 [µH]	Maksymalna rezystancja DC dławika L1 [mΩ]
100	47/1206	100	240,9
300	10/0805	33	180
750	4,7/0603	15	135

bardzo dobrym pomysłem jest sprawdzenie parametrów technicznych układu przetwornicy pod kątem minimalnego czasu trwania impulsu PWM.

„Gubienie impulsów”

Zjawisko to zachodzi, gdy driver przetwornicy DC/DC nie nadąża z tłumieniem impulsów sterujących bramką tranzystora kluczującego na tyle szybko, aby osiągnąć pożądany współ-

czynnik wypełnienia. Kontroler przetwornicy zasilającej będzie próbował regulować napięcie wyjściowe, jednak znacznie wzrośnie przy tym napięcie tętnień ze względu na zbyt oddalone impulsy załączające. Z powodu „gubienia impulsów”, wyjściowe napięcie tętnień będzie zawierało komponenty o niższych częstotliwościach, które mogą powodować zaburzenia na wyjściu przetwornicy. Jest również możliwe, że pętla ograniczenia prądowego nie będzie działała

Tabela 2. Minimalne napięcie wyjściowe dla minimalnego czasu załączenia 130 ns

Częstotliwość kluczowania	Minimalny współczynnik wypełnienia	Minimalne V_{OUT} przy $V_{IN}=48\text{ V}$ [V]
100 kHz	0,013	0,8 (V_{REF})
300 kHz	0,039	1,87
750 kHz	0,098	4,7
1 MHz	0,13	6

Tabela 3. Komponenty składowe straty mocy

Składowa strat	Czynniki
Straty sterowania FET	Funkcja ładunku bramki, napięcia przełączanego, częstotliwości przełączania
Straty przełączania FET	Funkcja napięcia wejściowego, prądu obciążenia, częstotliwości przełączania, czasów narostu/opadania
Rezystancja FET	$I^2 \times R_{DS(ON)}$
Straty w diodzie	$V_f \times I_{OUT} \times (1-D)$
Straty w dławiku	$I^2 \times \text{Rezystancja DC} + \text{straty AC rdzenia}$
Straty w kondensatorze	$I_{RMS}^2 \times ESR$
Straty w układzie scalonym	Specyfikacja w danych katalogowych; parametr I_{OP} , gdy układ jest aktywny

Tabela 4. Wielkość komponentów i wymagania odnośnie do powierzchni

Częstotliwość kluczowania	C2 [µF]/obudowa	Powierzchnia zajmowana przez C2 [mm²]	L1 [µH]	Powierzchnia zajmowana przez L1 [mm²]	Powierzchnia całkowita
100 kHz	47/1206	18,9	100	150	420
300 kHz	10/0805	11,5	33	43,5	192
750 kHz	4,7/0603	6,5	15	43,5	182

poprawnie, więc układ scalony nie będzie właściwie reagował na zmiany obciążenia. W niektórych wypadkach jeśli kontroler pracuje nieprawidłowo pętla kontrolna będzie niestabilna.

Sprawność i straty mocy

Sprawność przetwornicy DC/DC jest jednym z najważniejszych jej atrybutów branych pod uwagę przy projektowaniu źródła zasilania. Kiepska sprawność przekłada się na duże straty mocy, które wymagają zastosowania radiatora lub dodatkowej powierzchni miedzianej na płycie drukowanej. Przetwornica o małej sprawności wymaga więcej energii do zasilania, co stawia wyższe wymagania źródłom napięcia wejściowego. Co ważne, straty mocy mają kilka składników – wymieniono je w tabeli 3.

Straty występujące na komponentach w trzech opisywanych rozwiązaniach przetwornic wynikają ze strat przewodzenia i przełączania tranzystora FET oraz strat w dławiku. Rezystancja kanału tranzystora FET oraz straty na układzie scalonym są takie same we wszystkich opracowaniach, ponieważ zastosowano ten sam typ kontrolera z wbudowanym tranzystorem FET. Ponieważ we wszystkich przetwornicach zastosowano kondensatory ceramiczne o małej rezystancji ESR, to straty na kondensatorach są pomijalnie małe. Aby pokazać wpływ częstotliwości przełączania na straty mocy, zmierzono sprawność każdej przetwornicy, a wyniki pomiarów pokazano na rysunku 2. Rysunek jasno ilustruje, że sprawność maleje ze wzrostem częstotliwości kluczowania. Aby zwiększyć sprawność przy każdej częstotliwości, trzeba zastosować przetwornicę z tranzystorem o jak najniższej rezystancji kanału w stanie przewodzenia, jak najmniejszym ładunku bramki lub prądzie polaryzującym przy pełnym obciążeniu oraz użyć kondensatorów i cewek o jak najmniejszej rezystancji przy danej częstotliwości.

Wielkość komponentów

W tabeli 4 umieszczono porównanie powierzchni płytki drukowanej zajmowanej przez trzy omawiane przetwornice z uwzględnieniem wielkości podstawek dławika i kondensatora wyjściowego. Zalecana wielkość podstawki kondensatora czy dławika jest nieznacznie większa niż samego komponentu i została uwzględniona we wszystkich konstrukcjach przykładowych.

Całkowitą powierzchnię wyznaczono przez dodanie obszaru zajmowanego przez każdy komponent: układ scalony, filtr, wszystkie małe rezystory i kondensatory. Otrzymany wynik przemnożono przez 2, aby uwzględnić wymagane odstępy pomiędzy elementami.

Całkowity obszar, który można zaoszczędzić w przetwornicy kluczowanej z częstotliwością 750 kHz w porównaniu do kluczowanej z częstotliwością 100 kHz wynosi 250 mm². Jest to stosunkowo dużo, a dodatkowo wielkość filtra wyjściowego ulega zmniejszeniu o 50%,

natomiast wymiary płytki drukowanej maleją o 55%. Warto jednak zauważyć, że w pewnym momencie zaczyna obowiązywać prawo malejących korzyści, ponieważ wielkość dławika i kondensatora nie mogą być zredukowane do zera! Innymi słowy, dalsze podwyższanie częstotliwości kluczkowania nie będzie powodowało postępującego zmniejszania się wymiarów płytki, ponieważ ograniczają je wielkości obudów kondensatorów i dławików dostępnych w handlu. Po prostu dławiki o indukcyjności 15 μ H i 33 μ H zajmują tę samą powierzchnię niejako „wypiętrzając się” w górę. Dławik o indukcyjności 33 μ H ma wysokość 3,5 mm, natomiast 15 μ H jedynie 2,4 mm.

Reakcja na zmianę obciążenia

Reakcja na zmianę prądu obciążenia jest bardzo dobrym wskaźnikiem jakości źródła zasilania. Pokazany na **rysunku 3** wykres Bodego został wykonany dla każdej omawianej przetwornicy. Pokazuje on porównanie reakcji na zmianę obciążenia zależnie od częstotliwości kluczkowania. Jak można zaobserwować, margines fazy dla każdego źródła zasilania leży pomiędzy 45 a 55°, co wskazuje na dobrze tłumioną reakcję na zmianę obciążenia. Częstotliwość jednostkowa, przy której wzmocnienie wynosi 0 dB (jest równe 1 w skali liniowej), wynosi w przybliżeniu 1/8 częstotliwości kluczkowania.

Gdy jest używany szybki konwerter DC/DC, konstruktor powinien upewnić się, że wzmacniacz błędu regulatora zawartego w układzie scalonym ma wystarczająco szerokie pasmo przenoszenia. Szerokość pasma dla wzmocnienia jednostkowego wzmacniacza błędu w układzie TPS54160 wynosi typowo 2,7 MHz. Aktualne czasy reakcji na zmiany zamieszczono w **tabeli 5** z towarzyszącymi im pikami napięcia. Ich wartość jest o wiele niższa przy wyższej częstotliwości kluczkowania. Dzieje się tak ze względu na szersze pasmo wzmacniacza błędu.

Jitter

Przy wyższych częstotliwościach kluczkowania i dużych wartościach współczynnika konwersji, problemem może być szum. Decydując się na wyższą częstotliwość kluczkowania, konstruktor powinien rozważyć jitter i jego wpływ na minimalny czas załączenia konwertera DC/DC. Znaczenie zaburzeń jittera rośnie, gdy współczynnik wypełnienia jest niewielki. W **tabeli 6** umieszczono stosunek jittera do czasu załączenia dla przetwornicy 5-woltowej zasilanej napięciem 48 V. Założono spadek 0,5 V na diodzie oraz 20 ns jitter w węzle fazy.

Podsumowanie

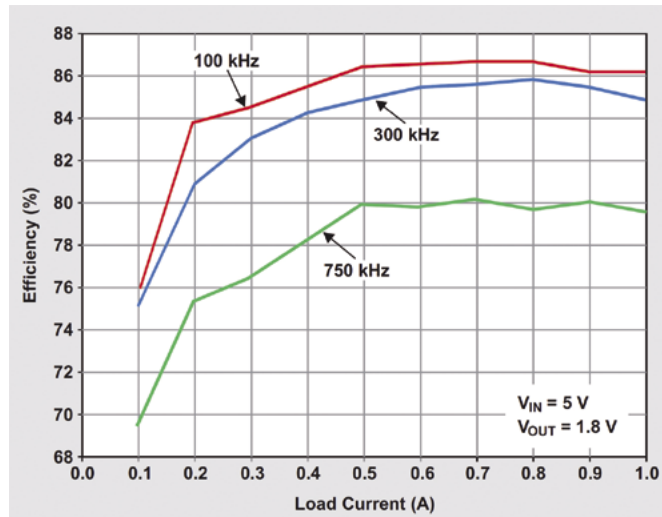
Przy podjęciem decyzji o wyborze wartości częstotliwości należy koniecznie dokładnie

Tabela 5. Reakcja na zmianę

Częstotliwość kluczkowania	Częstotliwość jednostkowa	Margines fazy	Czas odpowiedzi	Pik napięcia
100 kHz	10 kHz	60°	1 ms	350 mV
300 kHz	30 kHz	60°	300 μ s	300 mV
750 kHz	60 kHz	50°	150 μ s	240 mV

Tabela 6. Stosunek jittera do czasu załączenia przy małych współczynnikach wypełnienia

Częstotliwość kluczkowania	Czas załączenia	Jitter/czas załączenia [%]
100 kHz	1,1 μ s	2
300 kHz	365 ns	5
750 kHz	150 ns	13



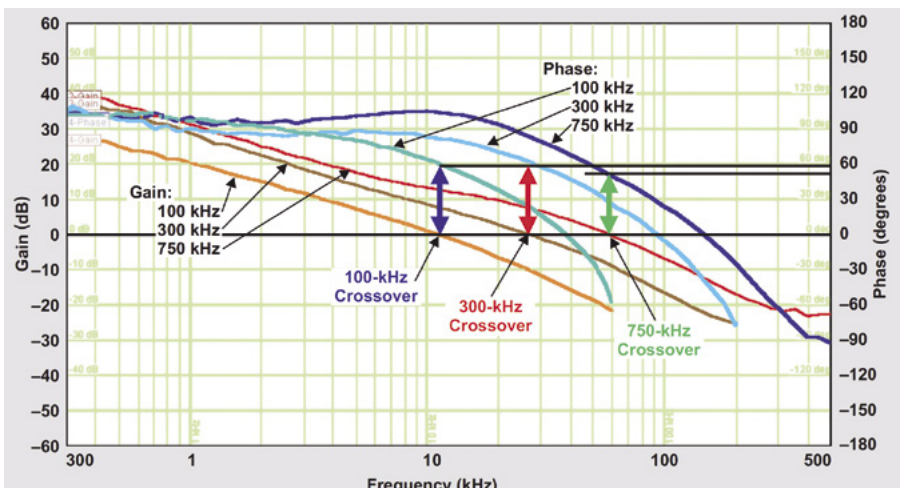
Rysunek 2. Sprawność układu TPS54160 dla trzech częstotliwości kluczkowania

przestudiować kartę katalogową układu kontrolera i odszukać jego kluczowe parametry techniczne, takie jak: minimalny czas załączenia (*minimum ON time*), szerokość pasma przenoszenia wzmacniacza błędu, rezystancja kanału FET oraz straty mocy w tranzystorze FET.

Układy, które spełniają wszystkie wymagania mogą kosztować немало, ale są warte

swojej ceny, ponieważ są znacznie łatwiejsze do użycia, gdy konstruktor jest „przyszpilony w kącie” za pomocą problemu związanego z opracowaniem systemu zasilania pracującego z podwyższonym napięciem wejściowym.

Richard Nowakowski, TI Power Management Product Marketing
Brian King, TI Applications Engineer



Rysunek 3. Wykres Bodego dla częstotliwości kluczkowania 100, 300 i 750 kHz