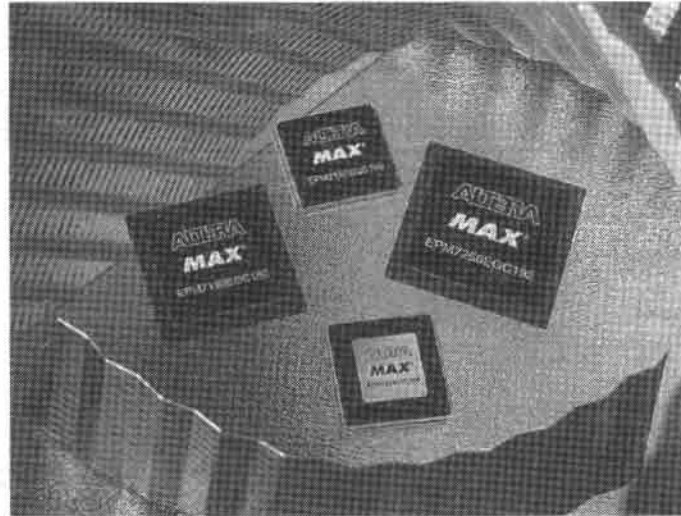


Układy PLD rodziny MAX7000 firmy Altera

W dziale „Podzespoły” chcemy przedstawić Czytelnikom jedną z bardziej interesujących rodzin, nowoczesnych i jednocześnie tanich, układów programowalnych (ang. Programmable Logic Devices) oferowanych przez firmę Altera - układy rodziny MAX7000. Są to układy oparte na drugiej generacji (w oparciu o pierwszą generację budowano EPROM'owe układy MAX5000, przykładem zastosowania trzeciej generacji tej architektury są układy rodziny MAX9000) architektury MAX (ang. Multiple Array Matrix) stanowiącej oryginalne opracowanie Altery.



Cechą charakterystyczną tej architektury jest zastosowanie bardzo elastycznych i niezwykle uniwersalnych bloków logicznych (LAB'ów) łączonych pomiędzy sobą bardzo szybko, programowaną matrycą połączeniową (PIA) (rys.1). Rozwiązanie tego typu pozwoliło połączyć zalety architektury FPGA (duża ilość przerzutników i makrokomórek logicznych) z zaletami klasycznych architektur PLD (przede wszystkim duża szybkość działania oraz łatwość i powtarzalność parametrów czasowych realizowanych projektów). Układy rodziny MAX7000 produkowane są w technologii CMOS EEPROM (tak więc są wielokrotnie programowalne), a dostępna gęstość upakowania wynosi max. 5000 bramek użytecznych (przy 10.000 bramek ogółem w strukturze układu). Szeroka gama dostępnych obudów, wersji szybkościowych, temperaturowych, elastyczne sterowanie poborem mocy tworzy doskonałe środowisko do realizacji nawet dość złożonych projektów. Możliwe jest także dostosowanie „po-

jemności” układu, co łączy się oczywiście z jego ceną, do wymagań stawianych przez realizowany projekt - w tabeli 1 umieszczono zestawienie dostępnych w chwili obecnej układów rodziny MAX7000. Jak wiadomo nawet najdoskonalsze układy PLD bez odpowiedniego oprogramowania, zamieniającego abstrakcyjny z punktu widzenia struktury układu projekt na mapę programowania, nie dadzą się wykorzystać - dlatego też Altera oferuje kompletny system do projektowania układów z wykorzystaniem rodziny MAX7000 - Max+plusII (przybliżyliśmy go nieco w serii „Co potrafią PLD?”). Wszystkie układy rodziny MAX7000 zbudowane są w identyczny sposób - w zależności od typu składają się z różnej ilości LAB'ów (od 2 do 16).

Pokrótkie omówimy podstawowe elementy architektury (rys.1):

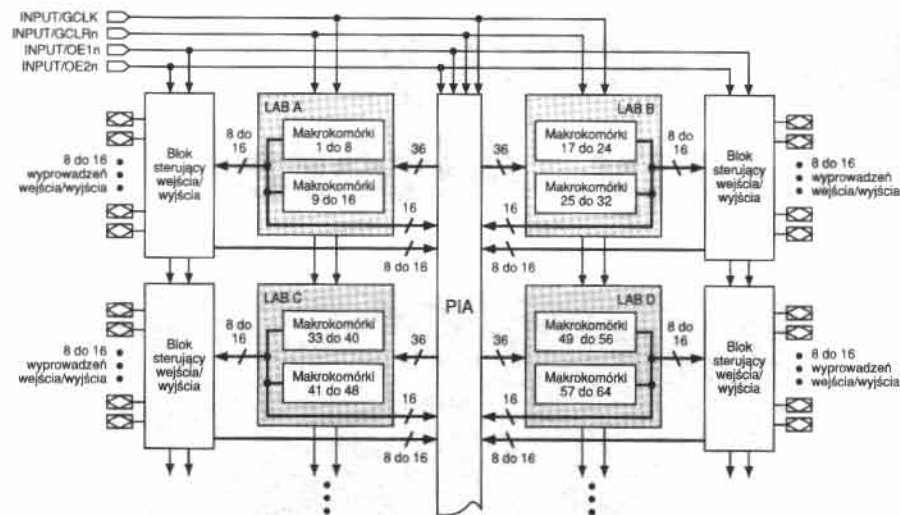
- LAB'y (ang. Logic Array Block). Są to bloki składające się z szesnastu uniwersalnych makrokomórek do których doprowadzone są dwa sygnały globalne: zegar glo-

balny (GCLK) oraz sygnał kasowania (GCLR). Obydwa sygnały są wprowadzane do LAB'ów poprzez piny będące dedykowanymi wejściami (oznacza to że nie mogą być nigdy wykorzystane jako wyjścia). Możliwe jest wykorzystanie tych pinów jako standardowe wejścia podłączone do matrycy PIA (tracimy wtedy atrybut globalności). Każdy LAB ma 36 iloczynowych linii wejściowych z matrycy PIA, a z jego wyjść podawane jest na PIA 16 sygnałów zwrotnych. Te same wyjścia wykorzystywane są jako sygnały wyjściowe - z fizycznymi wyjściami układu (pinami) łącznie są za pomocą bloku wejściowo - wyjściowego. Korzystanie z sygnałów globalnych pozwala na zmniejszenie ilości wykorzystywanych sygnałów w matrycy PIA, dzięki czemu możliwe jest implementowanie znacznie bardziej rozbudowanych projektów wewnątrz układu;

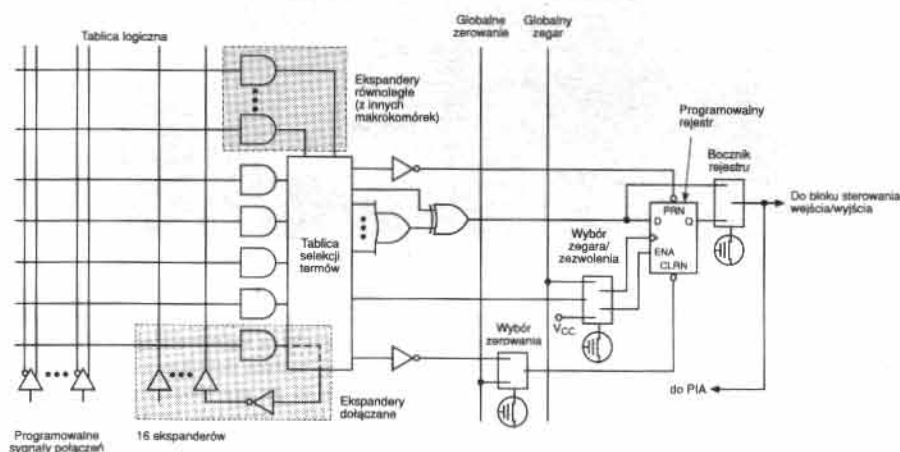
- makrokomórki logiczne (rys.2) odpowiadają za realizację zadanej funkcji logicznej. Może to być funkcja kombinacyjna lub synchroniczna, przy czym możliwe jest synchronizowanie za pomocą zegara globalnego lub indywidualnego, wytworzonego w matrycy programowanej (dowolna funkcja logiczna). W zależności od potrzeb przerzutnik w każdej makrokomórce może być konfigurowany jako D, JK, T lub RS. Asynchroniczne wejścia kasujące i ustawiające podnoszą elastyczność makrokomórki - wejście kasowania może być podłączone do wejścia globalnego lub (podobnie jak wejście zegarowe) do indywidualnie zaprogramowanej funkcji logicznej. Stosunkowo niewielka ilość wejść iloczynowych do makrokomórki rekompensowana jest elastyczną strukturą ekspanderów równoległych oraz tzw. ekspanderów podwieszanych (omówimy je pokrótce w dalszej części artykułu). Sposób wykorzystania eks-

Tab. 1. Rodzina układów MAX7000.

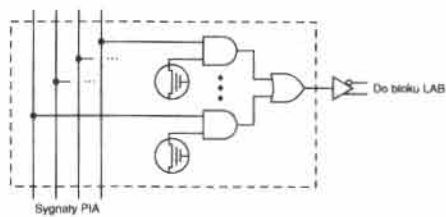
Typ układu	Ilość bramek użytecznych	Ilość makrokomórek	Ilość pinów I/O	Czas propagacji [ns]	Częstotliwość zegarowa [MHz]
EPM7032	600	32	36	5	200
EPM7064	1200	64	68	7.5	125
EPM7096	1800	92	76	7.5	125
EPM7128	2500	128	100	7.5	125
EPM7160	3200	160	104	7.5	125
EPM7192	3750	192	124	10	100
EPM7256	5000	256	164	10	100
EPM7032V	600	32	36	12	90



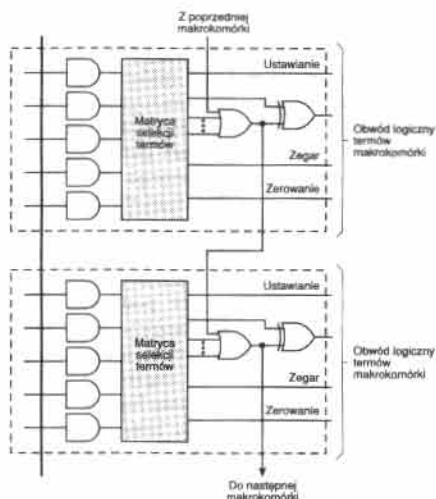
Rys. 1. Architektura układów MAX7000.



Rys. 2. Budowa makrokomórki logicznej układu MAX7000



Rys. 3. Matryca PIA.



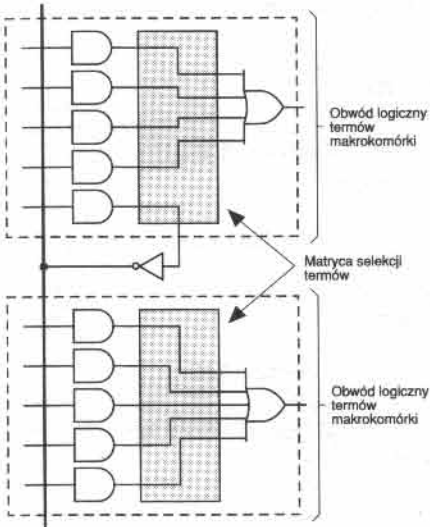
Rys. 4. Konfiguracja ekspanderów równoległych.

panderów określa matryca selekcyjna na wejściu bramki sumy logicznej, która jest automatycznie konfigurowana przez kompilator logiczny. Algorytmy na których opiera się kompilacja projektów w Max+plusII można optymalizować pod względem parametrów czasowych lub gęstości upakowania, co zwalnia projektanta z ręcznego sterowania rozkładem połączeń w matrycy selekcyjnej;

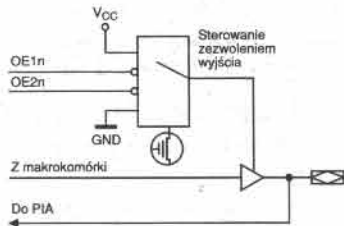
- PIA (ang. Programmable Interconnect Array, rys.3) jest programowaną matrycą połączeniową odpowiedzialną za rozprowadzenie sygnałów wejściowych do wejść LAB'ów, a także łączącą wyjścia ekspanderów z wejściami makrokomórek;

- PLE (ang. Parallel Logic Expanders, rys.4), czyli ekspandery równoległe. Stanowią one (wraz z EPT omówionymi poniżej) doskonałe narzędzie zwiększające elastyczność makrokomórek. Pozwalają na połączenie w jedną, dwóch (lub więcej) funkcji logicznych budowanych w makrokomórkach, dzięki czemu możliwe jest budowanie niezwykle złożonych funkcji pomimo małej ilości wejść do każdej z makrokomórek. Jak widać na rys.4 dołączanie ekspanderów równoległych możliwe jest tylko w określonym kierunku, tzn. makrokomórka o numerze w LAB'ie wyższym „pożycza” funkcję z wyjścia bramki OR makrokomórki o numerze niższym. Nie jest możliwa zmiana kierunku dołączenia ekspanderów. Uwaga ta jest istotna podczas ręcznego projektowania rozkładu poszczególnych fragmentów układu wewnątrz struktury. Kompilator Max+Plus II ma wbudowane algorytmy optymalizacji rozkładu funkcji logicznych w LAB'ach, dzięki czemu możliwe jest budowanie bardzo skomplikowanych układów bez konieczności ciągłego analizowania rozkładu funkcji wewnętrznych;





Rys. 5. Konfiguracja ekspanderów „podwieszanych”.



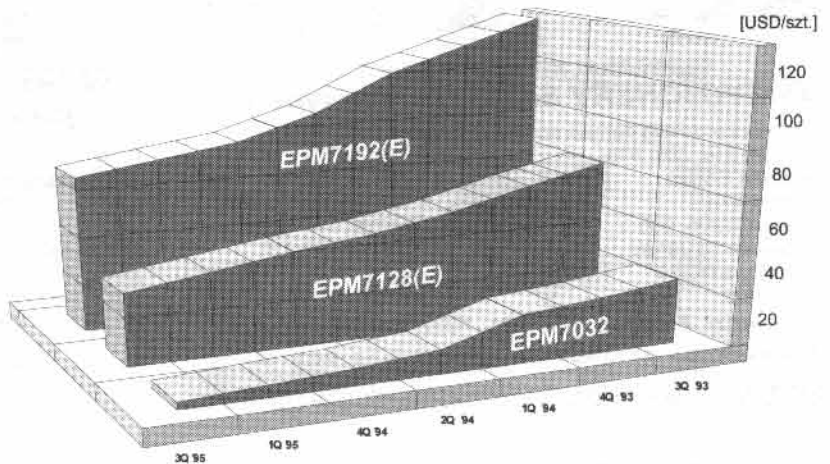
Rys. 6. Sposób sterowania bufora wyjściowego.

- ekspandery iloczynów funkcji wyjściowej (ang. Expander Product Terms, rys.5, czasami określane jako „podwieszane”) mają za zadanie zwiększenie ilości możliwych do zastosowania, podczas budowania przez kompilator mapy połączeń, iloczynów wejściowych dla każdej makrokomórki. Takie rozszerzenie architektury było konieczne z powodu zastosowania przez konstruktorów architektury MAX małej ilości linii wejściowych - w wielu zastosowaniach funkcja budowana z sumy pięciu iloczynów może okazać niewystarczająca (doskonałym przykładem jest typowy dekodery do sterowania wyświetlacza 7-segmentowego, gdzie najbardziej rozbudowana funkcja sterująca wyjściem segmentu wymaga sumy siedmiu iloczynów!). Dużą zaletą tych ekspanderów jest możliwość wykorzystania ich przez dowolną makrokomórkę w LAB'ie;

- bloki wejścia - wyjścia (I/O blocks), spełniające rolę programowanych buforów wejściowo-wyjściowych. Kierunek przekazywania danych i sposób sterowania buforem jest programowany, możliwa jest także praca takiego modułu jako port dwukierunkowy. Parametry elektryczne bufora wyjściowego pozwalają na bezpośrednią współpracę z szynami danych i adresowymi dowolnych systemów mikroprocesorowych. W zależności od sposobu zaprogramowania komórki I/O Control Block (rys.6) bufor wyjściowy może być na stałe odłączony (komórka pracuje jako wejście), na stałe włączony (dedykowane wyjście) lub sterowany za pomocą syg-

Charakterystyka rodziny MAX7000 (także MAX7000E):

- ◆ duża gęstość upakowania (do 5000 bramek) przy zachowaniu dużej szybkości pracy (dostępne są wersje pracujące z zegarem 200MHz);
- ◆ mały czas propagacji sygnału - od dowolnego wejścia do wyjścia rzędu 6ns;
- ◆ struktura EEPROM pozwalająca na wielokrotne przeprogramowanie;
- ◆ programowany pobór mocy oraz szybkość narastania sygnału na wyjściu, co pozwala na obniżenie poziomu pobieranej mocy i zminimalizowanie poziomu szumów generowanych do otoczenia;
- ◆ duża obciążalność wyjść (rzędu 30mA/pin);
- ◆ bardzo elastyczna architektura, pozwalająca na budowanie funkcji SOP o 32 argumentach wejściowych;
- ◆ układy wyposażone są w bit zabezpieczający przed nieautoryzowanym kopiowaniem projektów;
- ◆ globalny sygnał kasowania, jeden lub dwa (w wersji 7000E) globalne zegary oraz wejścia sterujące pracą buforów wyjściowych;
- ◆ szeroka gama dostępnych układów - najmniejszy ma 32 makrokomórki (są to w przybliżeniu 3 GAL'e 22V10), największy ma 256 makrokomórek;
- ◆ kompatybilność ze standardem PCI;
- ◆ dostępne są układy w wersji 3.3V (zasilanie i porty I/O). Wszystkie układy w obudowach o ilości wyprowadzeń powyżej 44 mogą mieć osobne zasilanie 3.3V dla portów I/O (struktura zasilana 5V);
- ◆ duży wybór obudów, także do montażu SMD.



Rys. 7. Ceny układów z rodziny MAX7400 w latach 1993/1994.

nałów OE1 i OE2 (globalne dla wszystkich LAB'ów).

Wszystkie układy rodziny MAX7000 produkowane są w zaawansowanej technologii CMOS 0.6µm, co obok znacznej szybkości pracy układów zapewnia bardzo mały pobór mocy z zasilania.

Od początku 1994 roku Altera rozpoczęła produkcję nieco ulepszonej wersji układów rodziny MAX7000, które oznaczono MAX7000E (ang. Enhanced). Udoskonalenie polega na wprowadzeniu drugiego zegara globalnego i możliwości regulowania szybkości narastania sygnałów na wyjściach buforów, co pozwala zmniejszyć poziom generowanych przez układ zakłóceń radioelektrycznych. Niestety nie wszystkie typy układów dostępne są w serii MAX7000E. W chwili obecnej Altera oferuje tylko EPM7128E..7256E. Ogromną zaletą serii MAX7000E jest pełna kompatybilność z dotychczas oferowanymi układami serii standardowej, co oznacza możliwość korzystania z dotychczas stosowanych plików typu *.pof do programowania nowych układów bez rekompilacji.

Wkrótce powinna pojawić się na rynku kolejna rodzina oparta na architekturze MAX7000 - układy serii MAX7000S, które będą wyposażone w interfejs JTAG i możliwość programowania w systemie (ang. In System Programmability), co pozwoli uniknąć konieczności zakupu kosztownego adaptera do posiadanego programatora lub oryginalnego programatora Altery. Układy ISP stanowią najnowszy trend na rynku układów programowalnych i wkrótce przedstawimy nieco bliżej Czytelnikom układy oferowane przez firmę Lattice, dobrze już znaną dzięki układom GAL.

Jako element zachęty do stosowania układów rodziny MAX7000 na **rysunku 7** zamieszczamy wykres przedstawiający spadek cen układów rodziny MAX7000 w ciągu jednego roku (od trzeciego kwartału 1993 roku do trzeciego kwartału 1995 roku). Są to ceny zalecane przez producenta dla użytkownika końcowego, przy zakupie 100 szt. układów jednego typu w USA. Jak na razie sprowadzenie tych układów do Polski powoduje prawie podwojenie ich ceny, ale może z czasem...

Piotr Zbysiński, AVT