

*Actel jest producentem zaawansowanych układów programowalnych FPGA, łączących cechy użytkowe FPGA i - w pewnym stopniu - CPLD. Dzięki temu powstało niebanalne rozwiązanie, łączące w sobie wybrane najlepsze cechy z obydwu grup.*



# Flashowe FPGA

Użytkownicy układów programowalnych przyzwyczaili się do obowiązującego od lat podziału rynku, na którym są obecne:

- Układy CPLD (*Complex Programmable Logic Devices*), które - ze względu na relatywnie niewielkie zasoby logiczne - są stosowane jako alternatywa dla mikrokontrolerów i klasycznych układów logicznych. Rolę pamięci konfiguracyjnej w tych układach spełnia zazwyczaj pamięć typu EEPROM lub Flash.
- Układy FPGA (*Field Programmable Gate Array*), których największą zaletą są dostępne bardzo duże zasoby logiczne, często pozwalające konkurować im z prawdziwymi ASIC-ami, czyli układami wykonywanymi na indywidualne zamówienia. Dotychczas w układach FPGA pamięć konfiguracyjna była typu SRAM, co wymagało w praktyce stosowania zewnętrznej pamięci nieulotnej (EEPROM lub Flash), której zawartość po włączeniu zasilania była automatycznie kopiowana do pamięci konfiguracyjnej FPGA (rys. 1). Takie rozwiązanie ma kilka istotnych wad:
  - ponieważ zawartość zewnętrznej pamięci konfiguracyjnej jest łatwa do odczytania, praktycznie nie jest możliwe zapewnienie ochrony projektu zaimplementowanego w FPGA,
  - po włączeniu zasilania układ FPGA jest gotowy do pracy dopiero po czasie niezbędnym na prze-

- pisanie zawartości zewnętrznej pamięci nieulotnej do wewnętrznej pamięci konfiguracyjnej (nawet do kilkuset milisekund),
- koszt pamięci konfiguracyjnej jest dość wysoki,
- podczas prac uruchomieniowych układ FPGA trzeba przełączać w tryb ewaluacyjny (kiedy to dane do pamięci konfiguracyjną są wpisywane za pomocą interfejsu ISP), co jest w większości przypadków kłopotliwe,
- praca systemu w otoczeniu o dużym poziomie zakłóceń wymaga, przynajmniej w przypadku niektórych FPGA, stosowania systemu nadzoru poprawności konfiguracji.

rodzinę układów ispXPGA (o architekturze FPGA). Sztuczka polegała na zintegrowaniu w jednej obudowie nieulotnej pamięci konfiguracyjnej i klasycznego FPGA z pamięcią konfiguracyjną SRAM. Takie rozwiązanie powoduje, że po włączeniu zasilania układ nie może pracować przez kilkadziesiąt mikrosekund, aż do chwili zakończenia automatycznego konfigurowania.

Inaczej do rozwiązania problemu podszli inżynierowie z firmy Actel. W roku 2001 w ofercie tej firmy znalazły się układy FPGA (ProASIC 500K) z pamięcią konfiguracyjną typu Flash. W odróżnieniu od układów ispXPGA firmy Lattice, pamięć ta jest rzeczywistą pamięcią konfiguracyjną, w związku z czym układy te są gotowe do pracy natychmiast po włączeniu zasilania. Dość istotną - dla projektantów urządzeń - wadą tych układów, jest niewielka dopuszczalna liczba cykli kasowania-programowania (można to zrobić tylko 50 razy). Nie ma ona oczywiście wielkiego znaczenia w produkcji, ale na etapie uruchamiania urządzenia może być dokuczliwa. Tę drobną niedoskonałość przyćmiły zalety zastosowanej architektury, niewielki pobór prądu i brak „szarpnięcia” prądu z linii zasilania.

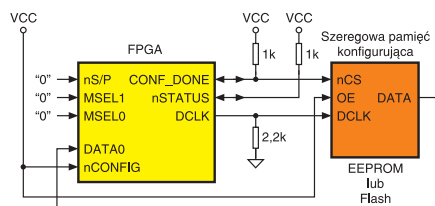
**PLD i inne**

**Akronim PLD oznacza wszystkie układy cyfrowe, których funkcjonalność można programować. Do PLD należą rodziny: FPGA, CPLD (*Complex Programmable Logic Devices*), jak na przykład XC95108, MAX3032, czy ispMACH4032) i SPLD (*Simple Programmable Logic Devices*, jak na przykład GAL16V8, ispGAL22V10, PAL16R4).**

Pomimo tych problemów, układy FPGA są powszechnie stosowane, ponieważ są one najtańszą i najłatwiej dostępną alternatywą dla układów ASIC.

### Można inaczej

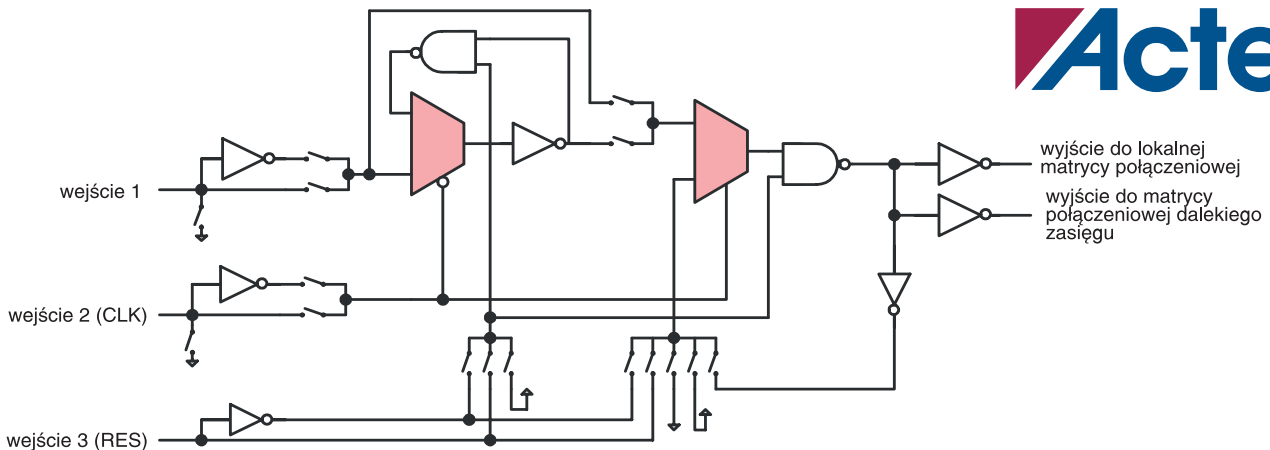
„Czemu więc nie zintegrować pamięci EEPROM w FPGA?” można zapytać, analizując przedstawione problemy użytkowników tych układów. Na przeszkodzie stanęły problemy technologiczne: zintegrowanie w jednej strukturze pamięci Flash z bardzo rozległymi (co wynika z budowy FPGA), do tego programowalnymi i przy tym szybkimi liniami połączeniowymi, było tak kosztowne, że żaden z producentów aż do roku 2001 nie podjął próby komercyjnego wdrożenia takich układów. Przełom nastąpił, kiedy to Lattice wprowadził - stosując techniczną sztuczkę -



Rys. 1. Przykładowy sposób dołączenia konfiguratora do układu FPGA



Fot. 2. Wygląd układu APA075 w obudowie TQFP208



Rys. 3. Budowa elementarnej komórki logicznej w układzie ProASIC Plus

lającej po włączeniu napięcia, dzięki czemu projektowanie PCB do systemów cyfrowych, w których zastosowano układy ProASIC jest znacznie łatwiejsze niż w przypadku układów innych producentów.

500 razy, co pozwala dość wygodnie z nich korzystać podczas prac uruchomieniowych.

Nie jest to oczywiście najważniejsze wprowadzone w ProASIC Plus udoskonalenie. Do najważniejszych należy zaliczyć:

Ponadto w układach ProASIC Plus wprowadzono wiele innych udoskonalień, które w typowych przypadkach nie mają aż tak dużego znaczenia (jak na przykład wbudowany interfejs różnicowy LVPECL), ale świadczą o dojrzałości konstrukcji tych układów.

### Następny krok

Powodzenie, jakim cieszyły się układy z rodziny ProASIC zachęciło producenta do zintensyfikowania badań, w wyniku których w roku 2002 pojawiła się na rynku nowa rodzina flashowych FPGA - ProASIC Plus (na fot. 2 pokazano wygląd układu APA075 z tej rodziny, w obudowie TQFP208). Dzięki poprawieniu parametrów technologii Flash, układy te można reprogramować do

**Programowanie vs konfigurowanie**  
**Układy FPGA wyposażone w pamięć konfigurującą typu SRAM każdorazowo po włączeniu zasilania muszą być konfigurowane (za pomocą programatora ISP lub nieulotnej pamięci zwanej konfiguratorem). Programowana jest natomiast nieulotna pamięć zewnętrzna, której zawartość jest automatycznie kopiowana do pamięci konfiguracyjnej układu FPGA po włączeniu zasilania.**

- zwiększenie liczby dostępnych rejestrów do ponad 56000 w jednym układzie (tab. 1),
- zwiększenie liczby dostępnych linii I/O do 712 i zwiększenie ich możliwości (m.in. współpraca z PCI 50 MHz),
- wbudowanie w strukturę układu 88 bloków pamięci SRAM o organizacji 256 x 9, co w sumie daje 198 kb konfigurowalnej pamięci RAM o czasie dostępu nie przekraczającym 7 ns (można ją skonfigurować jako FIFO, SRAM, ROM),

W interesującą i niestandardową - jak na współczesne czasy - budowę mają podstawowe komórki logiczne, które są elementarnymi „cegiełkami“, z których budowane są projekty implementowane w FPGA. W odróżnieniu od większości producentów, Actel postawił w swoich układach na minimalizację zasobów logicznych tworzących „cegiełki“, zwane w firmowej nomenklaturze *tiles* (klocek, kafelek). Każdy taki element ma 3 wejścia i jedno wyjście (rys. 3). Jego budowa pozwala zaimplementować dowolną funkcję logiczną (oprócz 3-wejściowego funktora ExOR), w tym przerzutnika lub rejestru *latch*. Duża gradacja zasobów ułatwia narzędziom EDA optymalne wykorzystanie zasobów logicznych układów ProASIC Plus.

### Narzędzia projektowe

Do testów otrzymaliśmy zestaw ewaluacyjny z układem APA075 (fot. 4). W jego skład wchodzi, oprócz płytki drukowanej, także oprogramowanie narzędziowe, dokumentacja i programator ISP (FlashPro Lite). Podczas prób okazało się, że obiecane przez producenta programowanie ISP za pomocą interfejsu JTAG jest prawdą tyle, że... po raz pierwszy spotkałem się z programowaniem ISP podczas którego trzeba do układu dostarczyć dwa napięcia dodatkowe (poza klasycznym zasilaniem) i to o szokujących wartościach: -12 i +16,5 V. Co więcej, ze względu na specyfikę interfejsu wykorzystywanego do programowania układów ProASIC Pro (świadomo-



Fot. 4. Wygląd zestawu ewaluacyjnego dla układów ProASIC Plus

- zmodyfikowane trakty komunikacyjne wewnątrz układu, dzięki czemu łatwiejsze niż w przypadku układów ProASIC jest łączenie rozległych (w strukturze) elementów projektów,
- wyposażenie układów w dwie wewnętrzne pętle PLL, za pomocą których można wytwarzać sygnały taktujące o programowanej (w zakresie 6...240 MHz) częstotliwości, fazie i opóźnieniu (-4...+8 ns, w krokach 250 ns).

Tab. 1. Zestawienie dostępnych wersji układów FPGA z rodziny ProASIC Plus							
Typ układ	APA075	APA150	APA300	APA450	APA600	APA750	APA1000
Liczba bramek	75000	150000	300000	450000	600000	750000	1000000
Maksymalna liczba przerzutników	3072	6144	8192	12288	21504	32768	56320
Pojemność wbudowanej pamięci SRAM	27k	36k	72k	108k	126k	144k	198k
Liczba konfigurowalnych bloków SRAM (256x9)	12	16	32	48	56	64	88
Liczba interfejsów LVPECL	2	2	2	2	2	2	2
Liczba wbudowanych pętli PLL	2	2	2	2	2	2	2
Liczba globalnych traktów połączeniowych	4	4	4	4	4	4	4
Maksymalna liczba sygnałów zegarowych	24	32	32	48	56	64	88
Maksymalna liczba linii I/Os	158	242	290	344	454	562	712

**FPGA**  
**Jest to akronim od słów**  
**Field Programmable Logic**  
**Array, którym niesłusznie są**  
**określane współczesne**  
**układy o regularnej budowie**  
**komórkowej. Stosowanie tej**  
**nazwy ma podłoże**  
**historyczne.**

mie nie piszę, że jest to JTAG), do poprawnego zaprogramowania układu jest niezbędny dodatkowy sygnał zegarowy. Wszystko to razem powoduje, że złącze do programowania układu wygląda jak pokazano na fot. 5 („reszta świata“ korzysta z klasycznego, 4- lub 5-przewodowego JTAG-a, a programatory ISP składają się zazwyczaj z bufora HC244). Podobno w kolejnej generacji układów (mają być dostępne w tym roku) Actel zastosował „normalnego“ JTAG-a, co zdecydowanie ułatwi i uprości korzystanie z tych interesujących FPGA.

Realizację projektów w prezentowanych układach umożliwia oferowany przez producenta system EDA - Libero. Składa się on z wielu modułów, zintegrowanych za pomocą shella Actel Designer. W skład pakietu wchodzi m.in.: edytor schematów ViewDraw, edytor przebiegów testowych WaveFormer, syntezy PALACE i Synplify oraz symulator VHDL/Verilog - ModelSim. Producent udostępnił bezpłatnie 45-dniową, najbogatszą wersję pakietu (Platinum) do celów ewaluacyj-

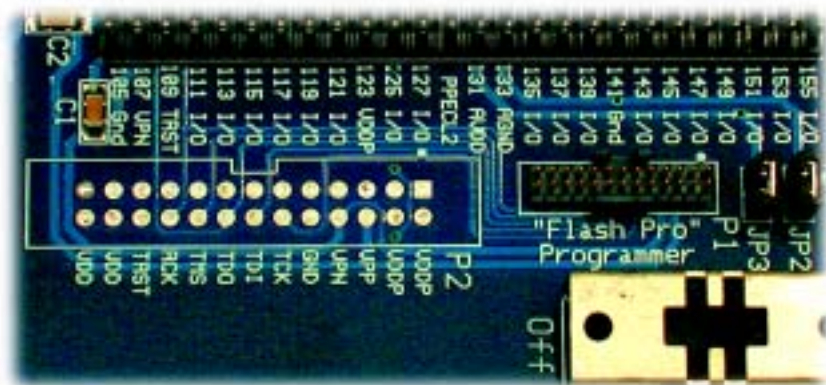
nych, dzięki czemu można łatwo zapoznać się zarówno z obsługą środowiska projektowego, jak i jego możliwościami. Z kolei wersje Libero Silver i Gold umożliwiają realizację projektów na układach do APA300 włącznie, czyli w praktyce zaspokajają większość potrzeb typowych użytkowników.

**Na zakończenie**

Układy przedstawione w artykule należą bez wątpienia do przyszłościowego nurtu, który - jak na razie - jest ignorowany przez liderów rynku PLD. Wygoda korzystania z układów FPGA z wbudowaną, nieulotną pamięcią konfiguracyjną (przy założeniu, że będzie je można programować via standardowy JTAG) ma szansę przyciągnąć do układów ProASIC Plus rzesze nowych użytkowników. Nie do pogardzenia są także, oferowane przez prezentowane układy, mechanizmy zabezpieczające projekt przed kopiowaniem (FlashLock). Zastosowana metoda zabezpieczenia zapewnia bardzo wysoki stopień ochrony, a szacowany czas niezbędny do jej złamania wynosi od  $9,58 \cdot 10^8$  (APA075) do  $2,35 \cdot 10^{64}$  (APA1000) lat. Bez wątpienia, dość długo...

**Piotr Zbysiński, EP**  
**piotr.zbysinski@ep.com.pl**

**Dodatkowe informacje**  
 Zestaw ewaluacyjny udostępnił do testów  
 dystrybutor: MSC Polska Sp. z o.o., tel. (32) 330-54-50, fax: (32) 330-54-52, Gliwice@msc-ge.com.



Fot. 5. Zastosowane przez Actela złącze JTAG niezbyt przypomina rozwiązania „klasyczne“