

# Ośmiobitowa karta prototypowa do PC

## kit AVT-114

*W artykule przedstawiono jedną z wielu możliwych wersji karty prototypowej do komputera PC XT/AT/386/486. Jest to karta 8-bitowa (tzn. do jej obsługi wystarczy „krótki” slot na płycie), dzięki czemu nawet posiadacze bardzo już leciwych XT będą mogli wykonać we własnym zakresie różnego rodzaju interfejsy i moduły sterujące.*



Płytką jest wyposażona w bufor prądowy szyny adresowej, szyny danych oraz sygnałów sterujących (AEN, RD, WR, RES), niezbędne do poprawnej współpracy płyty głównej (ang. mother-board) z kartą I/O. Zastosowanie buforów zapobiega uszkodzeniom układów scalonych współpracujących z systemem za pomocą szyny adresowej i szyny danych (mikroprocesor, DMA, sterowniki dysków, pamięci itp.). Uszkodzenia te mogą wystąpić np. z powodu źle wykonanych połączeń na zaprojektowanej przez nas płycie.

Opis karty prototypowej rozpoczyna cykl publikacji w EP na temat różnego rodzaju rozwiązań sprzętowo-programowych, interesujących wielu Czytelników, a zwłaszcza pragnących nieco głębiej poznać swój komputer.

### Opis złącza kart rozszerzających PC

Na pewno każdy z użytkowników komputera klasy PC miał możliwość zajrzeć do jego środka. Zauważył też zapewne, że na płycie głównej, niezależnie od typu komputera, znajduje się kilka gniazd, popularnie zwanych slotami. Są ich dwa rodzaje. Pierwsze to krótkie, jednoczęściowe złącze dla kart operujących na 8-bitowym słowie da-

nych. Rodowód tego złącza sięga komputera PC i PC XT; zarówno jednak długość słowa danych, jak i szybkość transmisji przez to złącze „nie przystaje” do możliwości dzisiejszych komputerów. Nie mniej jednak umiejętne korzystanie z tego złącza stwarza ogromne możliwości dla rozmaitych zastosowań. Drugie to długie, dwuczęściowe złącze dla kart 16-bitowych, będące dzieckiem ery AT286. W praktyce amatorskiej na ogół nie występuje konieczność sięgania po tego typu rozszerzenie, przynajmniej dla większości zastosowań.

Najnowszym rozwiązaniem są szyny VESA VL-Bus, o parametrach umożliwiających np. tworzenie grafiki w czasie rzeczywistym (oczywiście przy pomocy specjalnych kart grafiki), lecz jak na razie nie występuje konieczność (podyktowana potrzebami) „wglębienia” się w jego możliwości.

Naszą uwagę skupimy zatem na nieco głębszym opisie złącza 8-bitowego. **Rysunek 1** przedstawia przybliżony wygląd złącza i rozmieszczenie wyprowadzeń wraz z oznaczeniami. Nazwy sygnałów występujące w tekście zgodne są z nazwami zamieszczonymi w oryginalnym opisie standardu („IBM PC XT/AT Reference Book” 1988).

Opis poszczególnych sygnałów:

- D0-D7 (inne spotykane oznaczenie SD0-SD7) - dwukierunkowa, trójstanowa szyna danych. Służy do przesyłania informacji pomiędzy poszczególnymi elementami komputera.

- A0-A19 (inne spotykane oznaczenie SA0-SA19 od ang. System Address) - jednokierunkowa (wyjście), trójstanowa szyna adresowa. Służy do wskazania miejsca, z którego odbywa się odczyt lub - do którego odbywa się zapis.

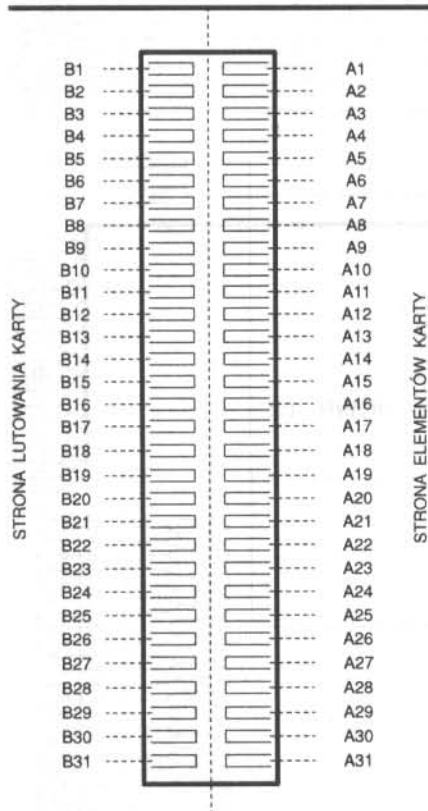
- ~IORD - sygnał (wyjście) wskazujący poziomem „0” logicznego operację odczytu portu wejścia-wyjścia. Jest to także wyjście trójstanowe.

- ~IOWR - sygnał (wyjście) wskazujący poziomem „0” logicznego operację zapisu do portu wejścia-wyjścia.

- ~AEN - sygnał (aktywne „0”) zatraskujący adres (ang. Address ENable), wykorzystywany przy synchronizacji transmisji danych do portów lub innych urządzeń komputera przez układy DMA. Transmisja do i z portów, obsługiwana przez BIOS odbywa się zawsze przez kanał DMA. W kartach prototypowych należy go traktować jako sygnał „Master Latch”.

- BALE - sygnał (aktywne „1”) zatraskujący adres podawany na szynę jako ważny przy transmisji wykonywanej przez mikroprocesor

TYLNA PŁYTA OBUDOWY KOMPUTERA



Rys. 1. Rozmieszczenie i oznaczenia końcówek w 8-bitowym złączu PC

i przez kanały DMA. Nie jest wykorzystywany w czasie standardowego wpisu i odczytu kart prototypowych.

- CLK - przebieg zegarowy o częstotliwości 6MHz (spotyka się też inne wartości, ale zależne jest to od rodzaju płyty głównej), synchroniczny z zegarem procesora.

- OSC - przebieg prostokątny o częstotliwości ok. 14MHz (standardowo 14,318MHz, możliwe są inne wartości, w zależności od rodzaju płyty głównej), nie synchronizowany z przebiegiem zegarowym procesora.

Obydwa te przebiegi można wykorzystać do sterowania układów zainstalowanych na karcie prototypowej.

- IRQ3-IRQ7 - są to wejścia przerywające dołączone do dekodera priorytetowego przerwań, sygnalizujące procesorowi konieczność obsługi portu. W tabeli 1 zamieszczono opis przerwań i adresy programów ich obsługi. W praktyce jedno z przerwań może być tylko wolne (jeżeli w systemie wykorzystuje się tylko jeden port LPT), jest jednak możliwość programowego przechwyce-

nia obsługi przerwania, dzięki czemu występuje możliwość wielopoziomowego wykorzystania jednego wejścia przerywającego.

- RESET DRV - sygnał (wyjście) kasowania układów zewnętrznych. Kasowanie odbywa się w czasie, gdy RESET DRV="1". Sygnał ten jest generowany po włączeniu zasilania, kasowaniu sprzętowym (przycisk RESET) lub programowym (Ctrl+Alt+Del) procesora.

- ~RFR (inne spotykane oznaczenie Refresh) - sygnał (dwukierunkowy) sygnalizujący wykonywanie cyklu odświeżania.

- ~DRQx - (x - oznacza 0.3 lub 5.7), sygnał żądania obsługi przez kontroler DMA (DMA ReQuest), o ustalonych priorytetach.

- ~DACKx - (x - oznacza 0.3 lub 5.7), sygnały potwierdzenia przyjęcia żądania DRQx. Sygnał jest aktywny, potwierdza przyjęcie żądania dla ~DACK="0".

- ~SMEMW i ~SMEMR - sygnały sterujące pracą pamięci systemu. Sygnał ~SMEMW wyznacza cykl zapisu pamięci RAM o adresach poniżej 1Mb, sygnał ~SMEMR wyznacza cykl odczytu pamięci o adresach poniżej 1Mb. Obydwa sygnały są aktywne, gdy są równe „0”.

- ~MEMW i ~MEMR - sygnały o znaczeniu jak wyżej, z tą tylko różnicą, iż dotyczą każdego dostępu do pamięci (także powyżej 1Mb).

Sygnały operacji na pamięci systemu są bardzo rzadko wykorzystywane przez standardowe karty rozszerzeń. Opis wyprowadzeń podano w tabeli 1.

### Opis układu

Schemat elektryczny karty prototypowej zamieszczono na rys. 2. Jako buforów sygnałów sterujących wykorzystane zostały cztery układy (US1-US4) typu 74XX245. Litera XX w tym oznaczeniu wskazują na możliwość zastosowania układów dowolnej z produkowanych serii, przy czym zaleca się stosowanie układów 74LS245, 74ALS245, 74HCT245, 74ACT245, 74PACT245, natomiast należy unikać układów serii standardowej i serii bardzo szybkiej 74H245, gdyż układy tego typu mają znacznie podwyższony pobór prądu wejściowego. Omawiane układy są to dwukierunkowe bufor mocy o zwiększonej wydajności prądowej na wyjściu, dzięki czemu mają doskonałe parametry czasowe i u-

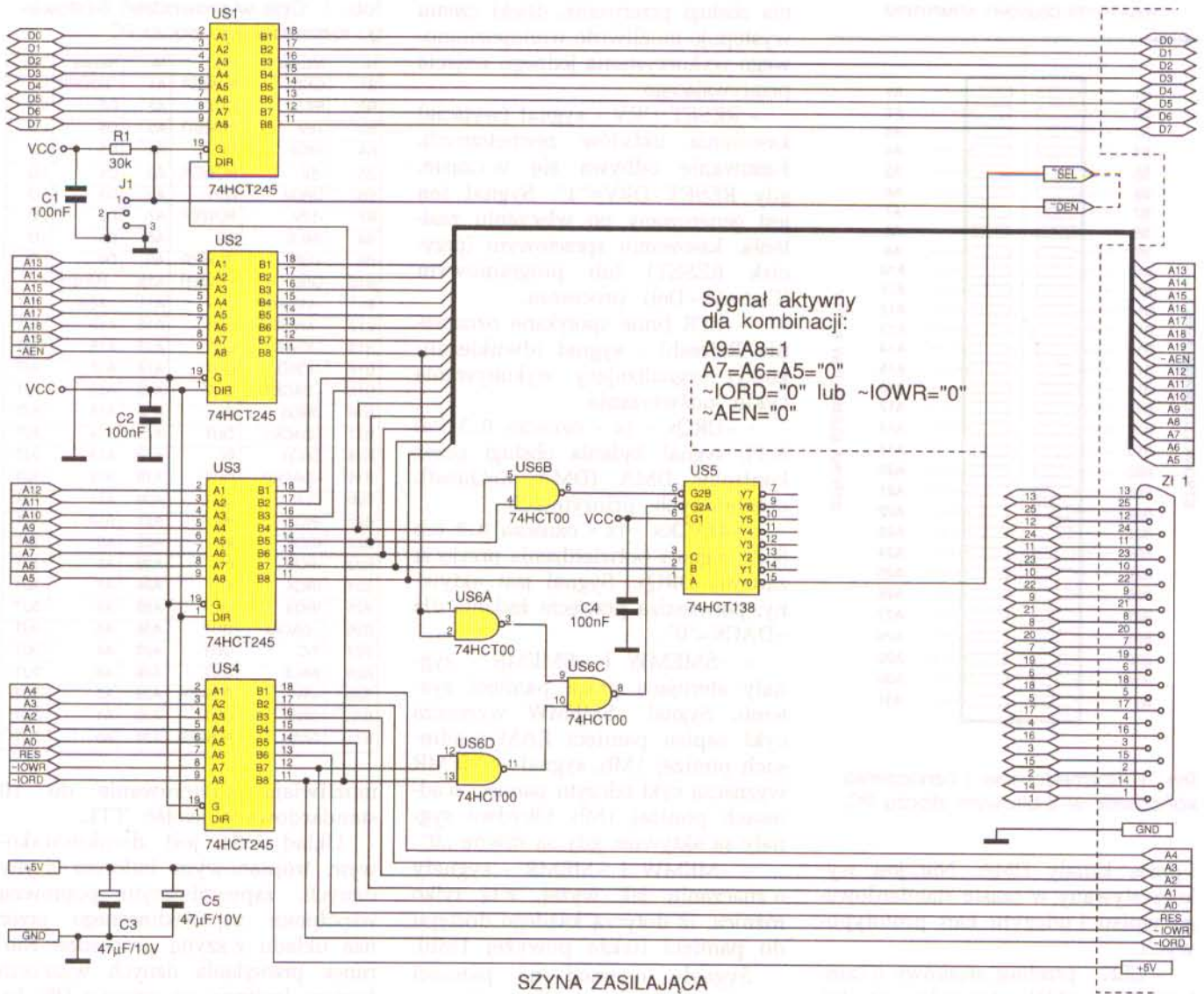
Tab. 1. Opis wyprowadzeń 8-bitowego rozszerzającego złącza PC

Nr	Nazwa	Typ	Nr	Nazwa	Typ
B1	GND	POWER	A1	~/OCHK	IN
B2	RES	OUT	A2	D7	I/O
B3	+5V	POWER	A3	D6	I/O
B4	IRQ2	IN	A4	D5	I/O
B5	-5V	POWER	A5	D4	I/O
B6	DRQ2	OUT	A6	D3	I/O
B7	-12V	POWER	A7	D2	I/O
B8	0W.S.	IN	A8	D1	I/O
B9	+12V	POWER	A9	D0	I/O
B10	GND	POWER	A10	~/ORDY	IN
B11	~MEMWR	OUT	A11	~AEN	OUT
B12	~MEMRD	OUT	A12	A19	OUT
B13	~IOWR	OUT	A13	A18	OUT
B14	~IORD	OUT	A14	A17	OUT
B15	~DACK3	OUT	A15	A16	OUT
B16	DRQ3	IN	A16	A15	OUT
B17	~DACK1	OUT	A17	A14	OUT
B18	DRQ1	IN	A18	A13	OUT
B19	~DACK0	OUT	A19	A12	OUT
B20	CLK	OUT	A20	A11	OUT
B21	IRQ7	IN	A21	A10	OUT
B22	IRQ6	IN	A22	A9	OUT
B23	IRQ5	IN	A23	A8	OUT
B24	IRQ4	IN	A24	A7	OUT
B25	IRQ3	IN	A25	A6	OUT
B26	~DACK2	OUT	A26	A5	OUT
B27	T/C	OUT	A27	A4	OUT
B28	BALE	OUT	A28	A3	OUT
B29	+5V	POWER	A29	A2	OUT
B30	OSC	OUT	A30	A1	OUT
B31	GND	POWER	A31	A0	OUT

możliwiają wysterowanie do 10 standardowych wejść TTL.

Układ US1 jest dwukierunkowym trójstanowym buforem szyny danych, zapewniającym poprawną współpracę zaprojektowanego przez nas układu z szyną procesora. Kierunek przesyłania danych wyznacza poziom logiczny na wejściu DIR (n. 1). Poziom ten jest wymuszony przez sygnał sterujący ~IORD (ang. Input-Output-Read). Sygnał ten decyduje tylko o kierunku transmisji. Dodatkowo należy wysterować wejście ~G (n. 19) układu US1 sygnałem „0”, aby umożliwić przesłanie danych. Wejście ~G jest podłączone do plusa zasilania poprzez rezystor R1, wymusza to stan logicznej „1” wówczas, gdy układ ten nie jest wybrany. Wyjścia-wejścia US1 są w stanie wysokiej impedancji. Jumper J1 umożliwia, poprzez zwarcie styków 1-2, wymuszenie ciągłej pracy układu US1. Nie jest to jednak rozwiązanie zalecane, jumper ten służy bowiem w zasadzie tylko do załączania bufora w czasie testów; w czasie normalnej pracy styki 2-3 jumpersa należy zewrzeć.

Chcąc uniknąć konfliktu pomiędzy kartami zainstalowanymi w komputerze w czasie odczytu szyny danych przez procesor musimy wyko-



Rys. 1. Schemat elektryczny układu

nać dodatkowy dekodery adresowy.

Konstruktorzy komputera przewidzieli możliwość stosowania kart projektowanych indywidualnie (tzw. kart prototypowych) i w mapie portów I/O przewidziano dla nich izolowaną przestrzeń adresową. Są to adresy od #300 do #31F, co daje w sumie niemałą ilość miejsca, bo aż 32 komórki (cały obszar portów I/O w tabeli 2).

Na karcie prototypowej zaprojektowany został dekodery adresu zapewniający prawidłowe wybranie obszaru od #300 do #31F, przy czym układ selekcji, pod który z możliwych 32 adresów dokonany zostanie wpis lub odczyt, należy wykonać we własnym zakresie, wykorzystując bity adresowe A0-A5. Proponowany przez nas układ zapewnia poprawne wyselekcjonowanie miejsca dla karty w przestrzeni adresowej komputera.

Bramka US6A jest inwerterem sygnału ~AEN i steruje wejściem bramki US6C. Drugie wejście tej bramki jest sterowane z wyjścia US6D. Bramka US6D stanowi sumę (wbrew pozorom!) logiczną sygnałów ~IOWR i ~IORD. Funkcja logiczna spełniana przez ten układ kombinacyjny sprowadza się do wybrania (za pomocą „0” na n. 4 US5) dekodera adresowego US5 tylko w chwili operacji zapisu lub odczytu portu I/O. Czyli jeden z sygnałów ~IORD lub ~IOWR musi być w stanie aktywnym „0” i dodatkowo to samo zastrzeżenie występuje dla sygnału zatraskującego ~AEN. Drugie wejście sterujące ~G (n. 5) US5 jest wybierane, jeżeli na wejściach adresu A8, A9 pojawia się „1”, dzięki czemu dekodery jest wybierany dla adresów #3XX. Pozostałe warunki, tzn. A7=A6=A5= „0” realizowane są za pomocą wejść adresowych dekodera US5. W przypad-

ku poprawnego zaadresowania portu uaktywnia się wyjście ~Y0 (n. 15) US5.

Przykładowe rozwiązanie rozbudowy dekodera adresu dla np. wybrania portu o adresach #300, #301, #302, #303 przedstawia rys. 3. Trzeba przyznać, iż zastosowana realizacja dekodera nie jest najnowocześniejsza z możliwych. Łatwiejszym w obsłudze może być układ serii TTL typu 74HCT688. Jest to strobowany komparator ośmiobitowy, który jest idealnie stworzony do tego typu aplikacji, ale niestety w kraju trudno dostępny. Przykład zastosowania układu 74HCT688 w aplikacji dekodera takiego samego jak wyżej opisany przedstawia rys. 4.

Ponieważ dość często układy wykonywane na kartach prototypowych muszą mieć możliwość kontaktu z otoczeniem, przewidziano zastosowanie 25-końcówkowego złącza

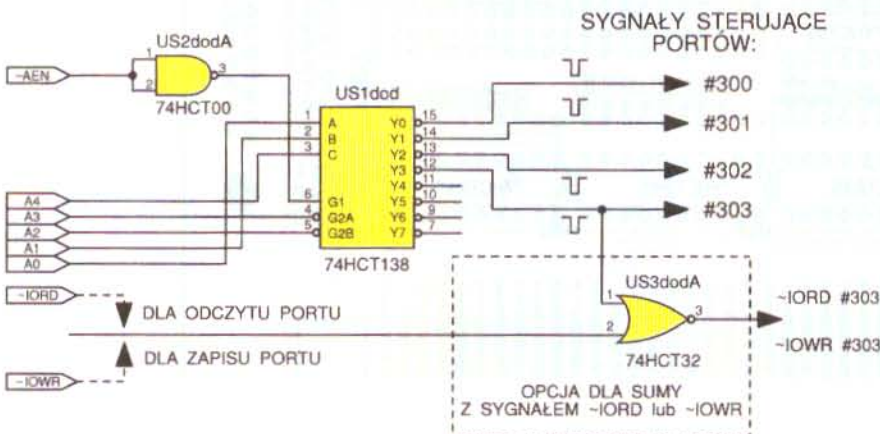
Tab. 2. Obszar adresowy portów wejścia/wyjścia dla PC

Adresy ważne dla PC AT	
ADRES HEX (od - do)	Urządzenie
000-01F	#1 Kontroler DMA
020-03F	#1 Kontroler przerwań
040-05F	Timer systemowy
060-06F	Procesor klawiatury
070-07F	Zegar czasu rzeczywistego, maska przerwań
080-09F	Rejestr strony DMA
0A0-0BF	#2 Kontroler przerwań
0C0-0DF	#2 Kontroler DMA
0F0	Znacznik koprocatora mat. (CLR)
0F1	Znacznik koprocatora mat. (RES)
0F8-0FF	Rejestry koprocatora mat.
1F0-1F8	Rejestry HDD
200-207	Obszar Game-Portu
278-27F	#2 Port równoległy LPT2
2F8-2FF	#2 Port szeregowy COM2
<b>300-31F</b>	<b>Obszar dla kart prototypowych</b>
360-36F	Zarezerwowane
378-37F	#1 Port równoległy LPT1
380-38F	#2 SDLC
3A0-3AF	#1 SDLC
3B0-3BF	Rejestry monochromatycznej karty Video z portem drukarki PRN
3C0-3CF	Zarezerwowane
3D0-3DF	Rejestry karty kolorowej/graficznej
3F0-3F7	Rejestry kontrolera FDD
3F8-3FF	#1 Port szeregowy COM1

Adresy ważne dla PC XT*	
ADRES HEX (od - do)	Urządzenie
000-00F	Kontroler DMA
020-021	Kontroler przerwań
040-043	Timer systemowy
060-063	Porty I/O 8255
080-083	Rejestry strony DMA
0A0	Rejestr dla przerwania NMI
210-217	Karta rozszerzeń (BUS-card)
320-32F	Kontroler HDD

\* Uwaga: wypisano tylko porty I/O, których adresy są inne niż w PC AT.



Rys. 3. Propozycja rozwiązania układuowego dla dekodera adresów #300 - #303

D (żeńskie) z możliwością dowolnego wykorzystania jego wyprowadzeń. Przy okazji, złącze to spełnia dodatkowe zadanie, a mianowicie mechanicznie „wspiera” „śledzia”, utrzymującą w prawidłowym położeniu kartę zamontowaną w koszu komputera.

Kondensatory C1..C5 zapobiegają zakłóceniom impulsowym powstającym w układzie, zwłaszcza przy stosowaniu układów bipolarnych lub unipolarnych o dużej dynamice poboru mocy. Oczywiście w miarę możliwości należy stosować układy serii z obniżonym poborem mocy.

**Montaż i uruchomienie**

Montaż należy przeprowadzić na płycie drukowanej dwustronnej z metalizacją, cynowaniem i ewentualnym złoceniem złącza krawędziowego wykonanej wg rys. 5. Rozmieszczenie elementów przedstawia rys. 6. Złączenie złącza krawędziowego karty prototypowej jest o tyle istotne, iż jest ona bardzo często wkładana i wyjmowana ze slotu, co grozi szybkim wytarciem się cyny i miedzi na powierzchni styku ze sprężyną złącza.

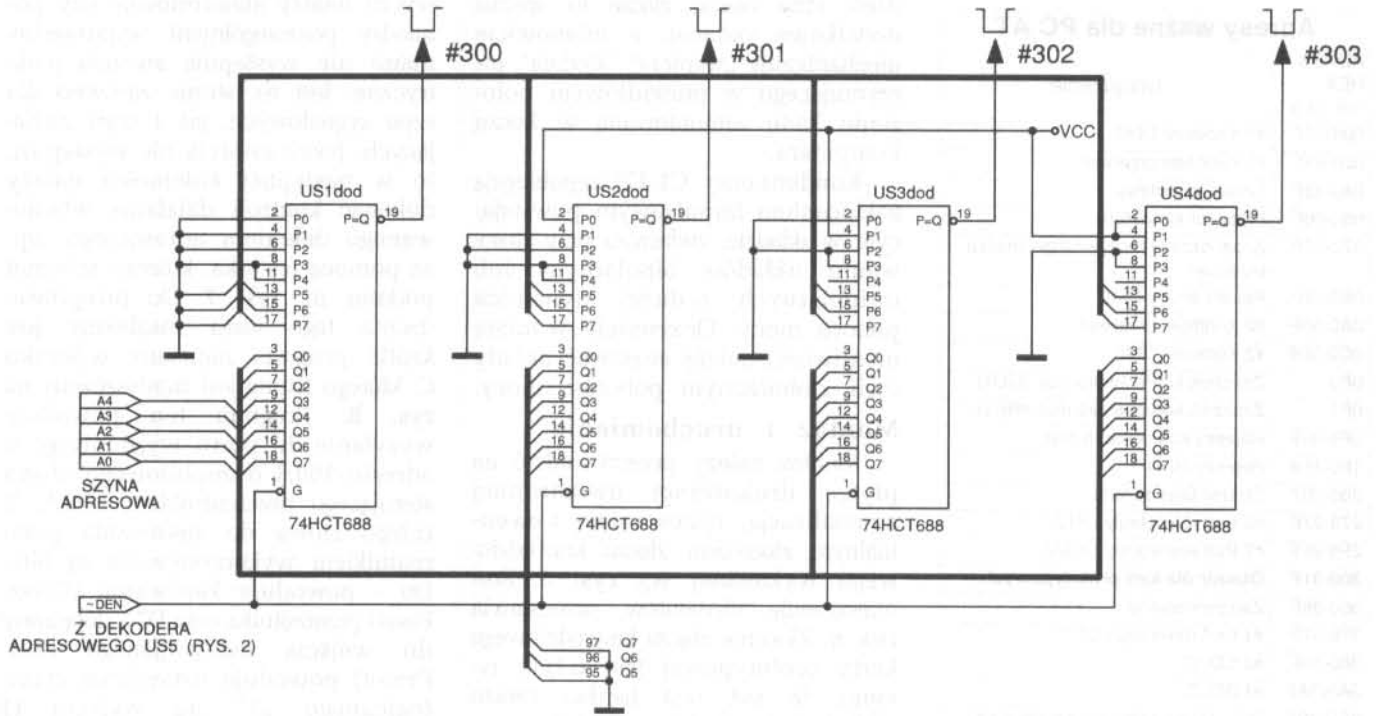
Jak zostało wspomniane już wcześniej ważne znaczenie dla niezawodnej pracy karty ma stosowanie dobrej jakości układów buforujących. Ominięcie tego zalecenia może spowodować przykre skutki, mimo iż autorowi kilkakrotnie udało się uniknąć konsekwencji związanych ze zwieraniem kilku linii szyny adresowej i szyny danych z masą układu. Ale tego typu zdarzenia nie muszą się kończyć pomyślnie...

Pierwszy etap uruchomienia układu należy przeprowadzić „na sucho” bez komputera. Za pomocą wskaź-

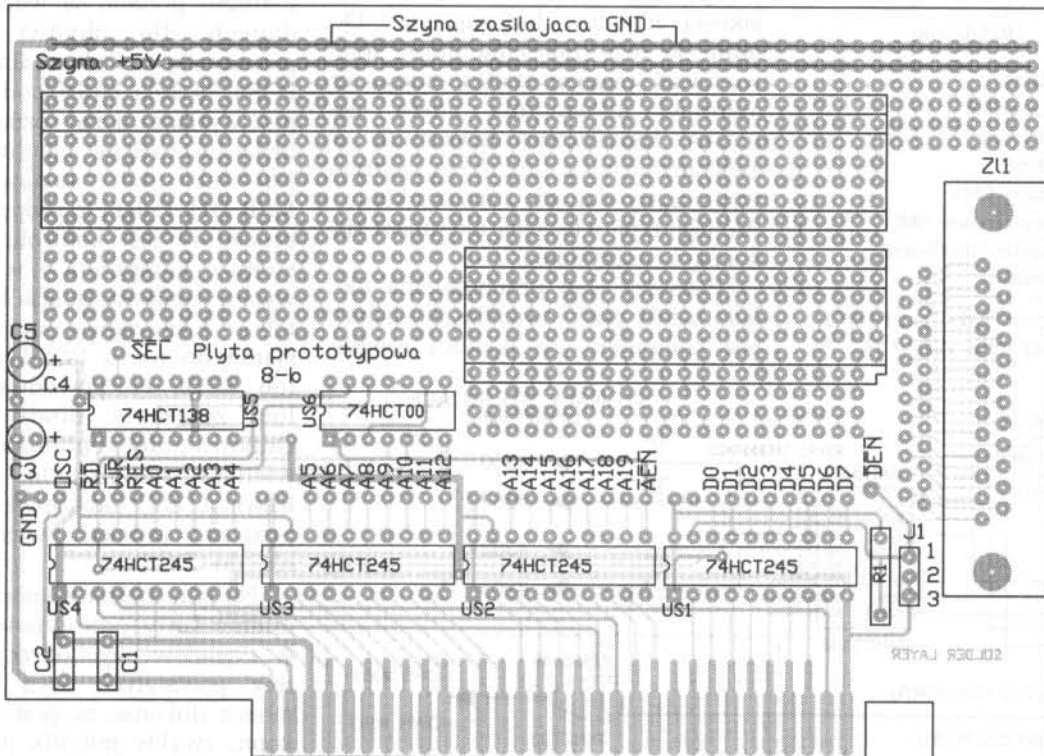
nika zwarć (najlepiej standardowego z popularnych multimetrów cyfrowych) należy skontrolować czy pomiędzy poszczególnymi wyprowadzeniami nie występują zwarcia elektryczne. Jest to istotne zarówno dla szyn sygnałowych, jak i szyn zasilających. Jeżeli zwarcia nie występują, to w następnej kolejności należy dokonać kontroli działania wbudowanego dekodera adresowego, np. za pomocą testerka, którego schemat podano na rys. 7. Do przeprowadzenia tego testu niezbędny jest krótki program napisany w języku C, którego listing jest zamieszczony na rys. 8. Program ten powoduje wysyłanie do portu wyjściowego o adresie 300H ośmiobitowego słowa sterującego przerzutnikiem UP1A. Z całego słowa do sterowania przerzutnikiem wykorzystywane są bity: D0 - powoduje kasowanie (Clear, Reset) przerzutnika oraz D7 - dołączony do wejścia ustawiającego (Set, Preset) powoduje ustawienie stanu logicznego „1” na wyjściu Q przerzutnika. W zależności od typu zastosowanego przerzutnika logiczny poziom sygnału sterującego może wynosić „0” - np. dla typu 7474, 7472, 74113 itp. lub „1” dla 4013, 4027. W komentarzu programu (na listingu) podane są wartości słowa danych dla obydwu rodzajów przerzutników. Stała zdefiniowana jako PORT określa adres pod jaki zostanie wysłana dana, oznaczona jako SET0 (ustawienie najmłodszego LSB D0) lub SET7 (ustawienie bitu MSB D7). Celem zaproponowanej tu procedury jest kontrola stanu klawiatury komputera i w momencie wychwycenia wciśnięcia klawisza „+” lub „-” z klawiatury numerycznej wysłanie do portu PORT kodu SET7 lub SET0, co powoduje zapalenie lub zgaszenie diody LED D1. Odpowiednie komunikaty są wyświetlane na ekranie. Wciśnięcie klawisza „ESC” umożliwi opuszczenie programu (miękkie wyjście) i powrót do DOS'a..

Na tym można zakończyć uruchomienie karty prototypowej. Kontrola sygnałów wychodzących z buforów pozostałych szyn adresowych można dokonać za pomocą oscyloskopu, zwykły miernik już nie wystarczy. Kontrola polega na sprawdzeniu „czy się zmienia?”, jakości ani wielkości tych zmian niestety nie jesteśmy w stanie ocenić. Praktyka mówi, iż jest to wystarczające.

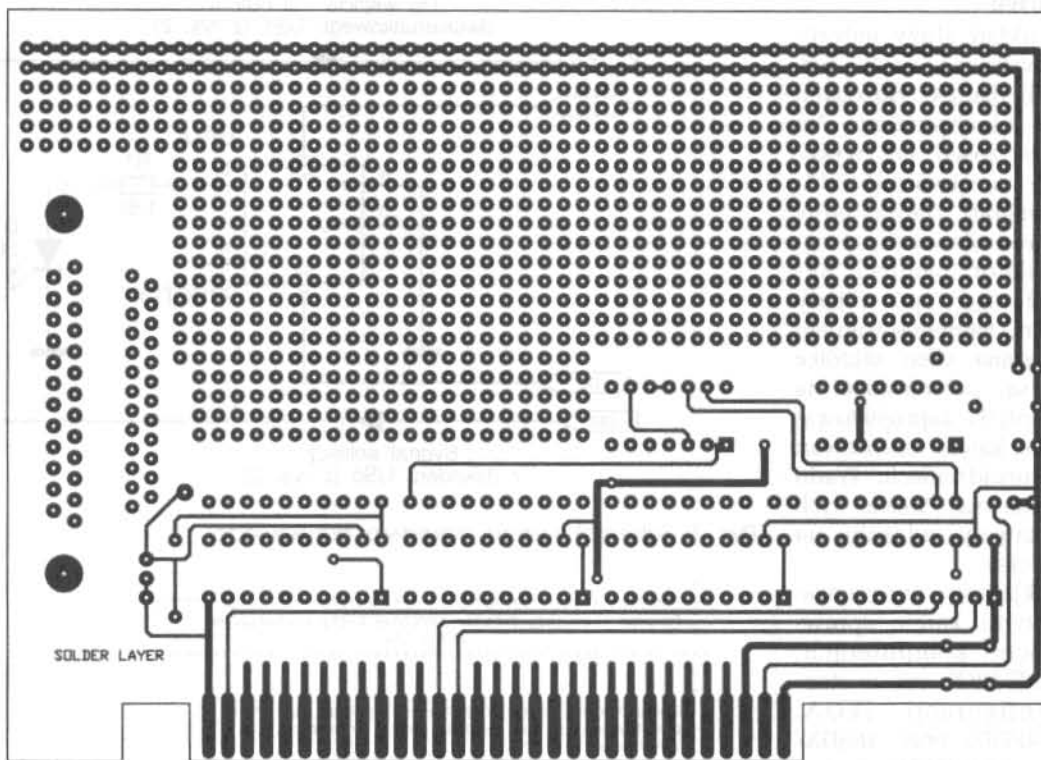
SYGNAŁY SELEKCJI DLA PORTÓW:



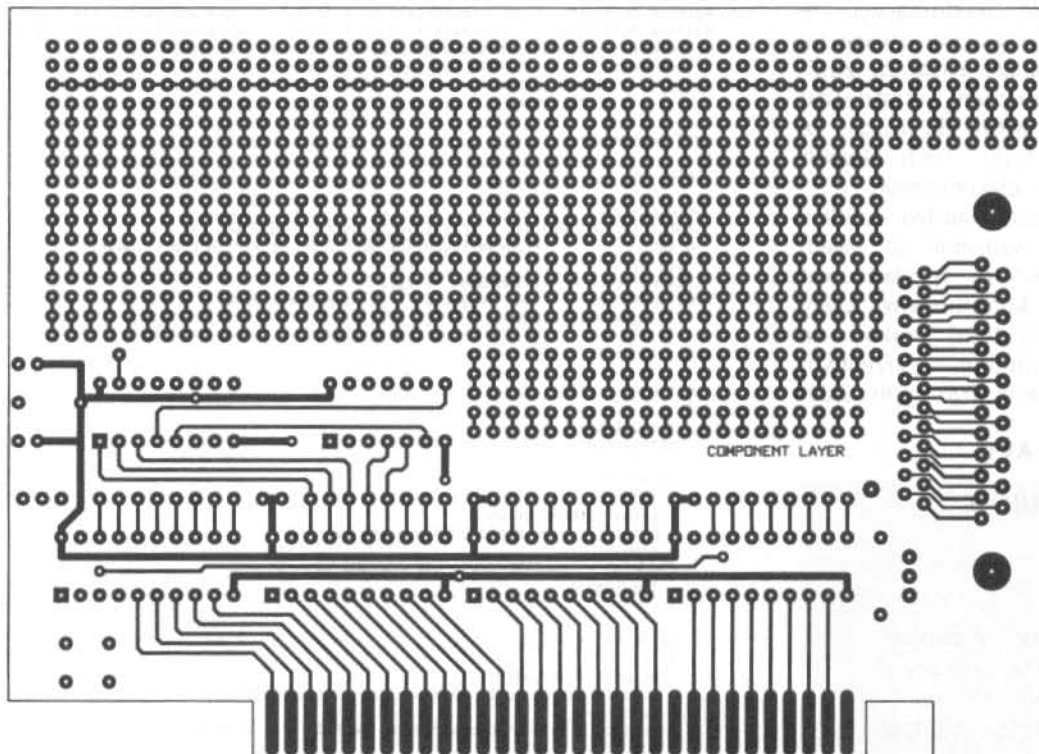
Rys. 4. Dekoder adresów #300-#303 zbudowany z wykorzystaniem układu 74HCT688



Rys. 6. Rozmieszczenie elementów na płytce drukowanej



Rys. 5a. Mozaika ścieżek płytki drukowanej - strona miedzi



Rys. 5b. Mozaika ścieżek płytki drukowanej - strona elementów

**Uwagi końcowe**

Opisywany układ służy autorowi do przeprowadzania wielu rozmaitych, niekiedy bardzo złożonych eksperymentów z komputerem. Na tego typu płycie został już wykonany 24-bitowy przetwornik C/A, tester (charakterograf) tranzystorów i diod półprzewodnikowych, programator i symulator pamięci EP-ROM. Ponieważ tego typu układy cieszą się sporym zainteresowaniem Czytelników, zostaną więc wkrótce (częściowo już są) przeniesione na „profesjonalne” płytki zaprojektowane specjalnie pod kątem zastosowań w konkretnych urządzeniach. Warto zaznaczyć, że pierwsze wersje tych układów powstawały właśnie na opisywanej płycie.

Działanie układów wykonywanych na tego typu karcie sprawdzono w dwóch komputerach: AT/12MHz z AMI-BIOS-em, w standardowej konfiguracji (VGA, 80MBHDD, 1,44FDD) oraz 386DX/40MHz, także z AMI-BIOS-em i w podobnym zestawieniu.

Jedynie różnice pojawiły się w pracy układów sterowanych zegarem CLK - otóż w AT286 częstotliwość CLK wynosiła 6,2MHz, natomiast w 386DX - 8,4MHz.. Trudno mi jest wytłumaczyć tę różnicę, dlatego zwracam uwagę na ewentualne problemy związane z mimowolnym brakiem standardu w tej dziedzinie. Może się okazać, że jest to wada tylko tych dwóch egzemplarzy, ale niekoniecznie.

Artykuł zawiera bardzo krótkie, teoretyczne wprowadzenie do zagadnienia projektowania specjalizowanych kart do komputerów klasy PC. Wiadomości tutaj podane są niezbędnym minimum, potrzebnym przy uruchamianiu tego typu układów.

**Piotr Zbysiński, AVT**

**WYKAZ ELEMENTÓW**

**Rezystory**

R1: 30k $\Omega$

**Kondensatory**

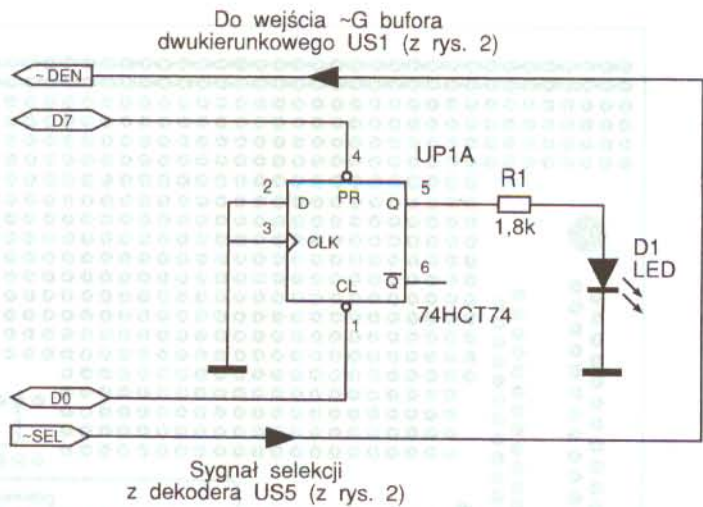
C1, C2, C4: 100nF, blokowy  
C3, C5: 47 $\mu$ F/10V, tantalowy

**Układy scalone**

US1, US2, US3, US4: 74HCT245  
US5: 74HCT138  
US6: 74HCT00

**Różne**

J1: jumper  
Z1: złącze DB25, żeńskie



Rys. 7. Schemat testera dekodera adresowego

```

/*
.....
Program testujący dekodery adresowe karty prototypowej
AVT - 114
.....
*/
/*
Dla poprawnej pracy programu testującego na karcie
prototypowej należy wykonać port z przerzutnikiem
74HCT74 wg rys.7.
*/
/*
Ze względu na sterowanie wejść przerzutnika poziomem
logicznego "0" do portów wysyłana jest bitowa negacja
liczby deklarowanej do wysłania.
*/
#include <stdio.h>
#include <dos.h>
#include <conio.h>

#define PORT 0x300
#define ESC 0x01b
#define SET0 0x0fe /* ustawienie bitu 0 na "0" - odpowiada to liczbie 1 */
#define SET7 0x07f /* ustawienie bitu 7 na "0" - odpowiada to liczbie 128 */
/* Jeżeli zastosowany zostanie przerzutnik sterowany dodatniem
poziomem, np. 4013, 4027, to zmienia się wartości:
SET0 = 0x01
SET7 = 0x80
*/
void main(void)
{
    char c;

    clrscr();
    outportb(PORT,0x0ff); /* inicjacja portu - wpis #FF */
    printf(" Program testujący port 300H na karcie prototypowej\n");
    printf("- kit AVT-114(n)\n");
    textattr(BLACK + (LIGHTGRAY << 4));
    cprintf("\n ESC - wyjście + - zapalenie diody - \n");
    printf("- zgaszenie diody\n");

    normvideo();

    while (c != ESC)
    {
        c = getch();
        gotoxy(1,6);

        if (c == '.')
        {
            outportb(PORT,SET0);
            printf("\nDo portu 300H wysłano wartość 1\n");
            highvideo();
            cprintf("\n\nDiody NIE POWINNA SWIECIC\n\n");
            lowvideo();
        }

        if (c == '+')
        {
            outportb(PORT,SET7);
            printf("\nDo portu 300H wysłano wartość 128\n");
            highvideo();
            cprintf("\n\nDiody POWINNA SWIECIC\n\n");
            lowvideo();
        }
    }

    clrscr();
}

```

Rys. 8. Program testujący dekodery adresowe karty prototypowej