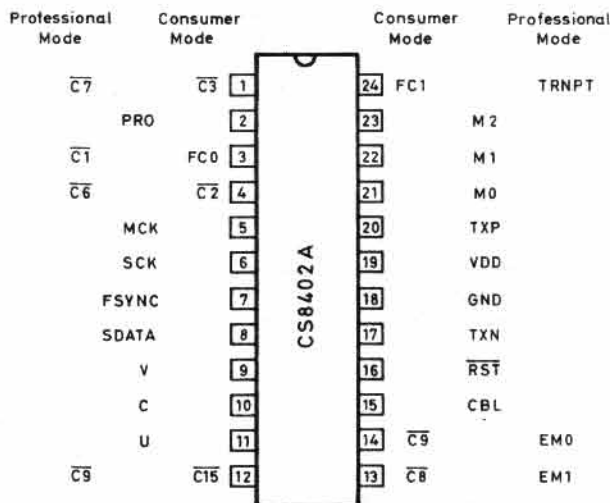


# Magiczne kości

## Część 2. Chipy dla cyfrowej techniki audio - układy nadawcze i interfejsowe

*Kontynuujemy cykl artykułów prezentujących najnowsze opracowania układów scalonych przeznaczonych do przenoszenia i przetwarzania cyfrowych sygnałów audio. W pierwszej części omówiliśmy układy producentów japońskich. Teraz zajmiemy się układami producentów amerykańskich.*



Rys. 9. Wyprowadzenia układu CS8402A

### CS8402A

Pozostawiamy producentów japońskich i przechodzimy do omówienia układu CS8402A f-my Crystal Semiconductor, który jest dostarczany w wąskiej obudowie DIL24 lub SO. Układ ten posiada interfejs programowany via piny dla danych sterujących o kombinowanym trybie Typ 1/Typ 2, co umożliwi realizację wielu rodzajów pracy. Szereg pinów posiada dwie funkcje, zależnie od trybu pracy - pokazano to na rys. 9. Wspólnym dla wszystkich trybów jest port audio z wejściami SDATA (dane), SCK (takt bitów), FSYNC (takt słów). Port ten akceptuje dane w 7-miu różnych formatach; wyboru formatu dokonuje się przy pomocy pinów M0...M2. Interfejs dla danych sterujących może pracować w trybie studyjnym, konsumenckim i konsumenckim z podtypem CD. Powszechne znaczenie mają tylko dwa pierwsze, przełączanie pomiędzy nimi realizuje się poziomem napięcia na pinie PRO; stanowi PRO = L odpowiada tryb studyjny. Wartości bitów określające status ka-

nału (bity 1, 6, 7 i 9) mogą być zadawane bezpośrednio via piny /C1, /C6, /C7 i /C9 - oczywiście w postaci zanegowanej. Piny te umożliwiają kodowanie wyciszania, częstotliwości próbkowania i typu kanału. Przy pomocy pinów EM0 i EM1 można programować emfazę (patrz Tab.4). Zgodnie z normą układ wylicza Local Sample Address, Reliability Flag i sumę kontrolną CRC. Wyliczone wartości są przenoszone w ramach CSB (Channel Status Bits).

Przy PRO = H układ CS8402A znajduje się w trybie konsumenckim. W trybie tym mogą być zadane stany CSB o numerach 2, 3, 8, 9 i 15. Umożliwia to definiowanie ochrony przed kopiowaniem, emfazy i częściowo kodu kategorii. Częstotliwość próbkowania można wybrać przy pomocy pinów FC0 i FC1 (Tab.5). W obu tych trybach można ustawiać wszystkie CSB, z wyjątkiem Validity Flag i User Data Bits, poprzez podanie na wejścia V, U i C sygnałów synchronicznych audio-dane. W tej sytuacji zachodzi operacja logiczna „OR” (lub) pomiędzy danymi podanymi synchronicznie na wejście interfejsu steru-

jącego a CSB określonymi przez ww. piny. Dzięki takiemu rozwiązaniu jest możliwym, w przeciwieństwie do TC9231N, realizowanie wpływu na te CSB, na które nie możemy oddziaływać poprzez piny układu. Przy okazji należy zwrócić uwagę, że CSB z numerem 0, który służy do rozróżniania trybu studyjnego od konsumenckiego, jest określony jednoznacznie przez poziom napięcia na pinie PRO. W trybie studyjnym, podczas prznoszenia sumy kontrolnej CRC (CSB od 184 do 191) na wejściu C nie może zaistnieć poziom High, ponieważ wewnętrzne połączenie typu „OR” może te dane zafałszować.

W trybie studyjnym można, przez podanie poziomu High na pin TRNPT, uaktywnić tzw. Transparent Mode (tryb przezroczystości). Ten rodzaj pracy dopuszcza bezpośrednie połączenie CS8402A z tak samo nazwanymi pinami obwodu CS8412A (będzie on dalej omówiony). Gdy dane sterujące zostaną przesłane w niezmienionej postaci, dane audio zostaną przetworzone, a CSB programowane przez piny zostaną zignorowane. Nie wdając się w szczegóły podtrybu CD trybu

Tab. 4. Kodowanie Emfazy CS8402A

EM1	EM0	Wartość
L	L	CCITT J.17
L	H	50/15us
H	L	Wyłączona
H	H	Ręczne ustawianie w odbiorniku

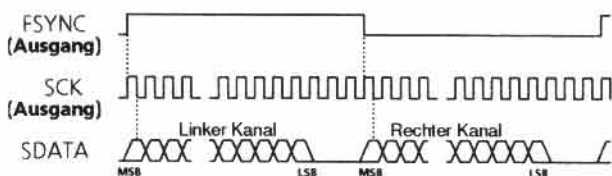
Tab. 5. Kodowanie częstotliwości próbkowania w CS8402A

FC1	FC0	Wartość
L	L	44,1kHz
L	H	48kHz
H	L	32kHz
H	H	44,1kHz CD Submode

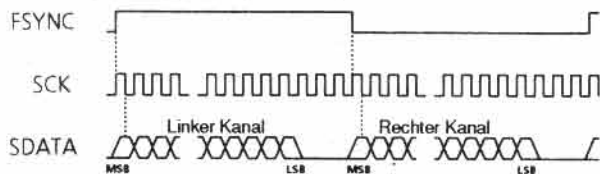
Tab. 6. Wybór częstotliwości taktowania CS8401A

M1	M0	Master Clock
L	L	128 fs
L	H	192 fs
H	L	256 fs
H	H	384 fs

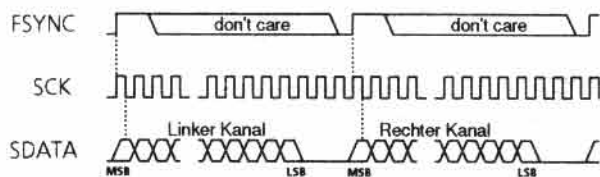
**Format 0 (M2=L, M1=L, M0=L)**



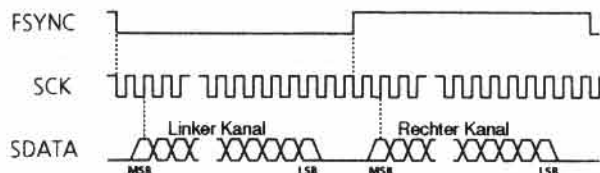
**Format 1 (M2=L, M1=L, M0=H)**



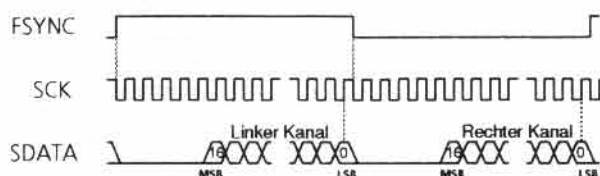
**Format 2 (M2=L, M1=H, M0=L)**



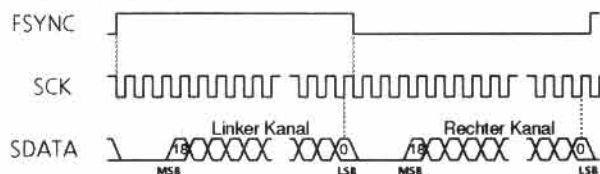
**Format 4 (M2=H, M1=L, M0=L)**



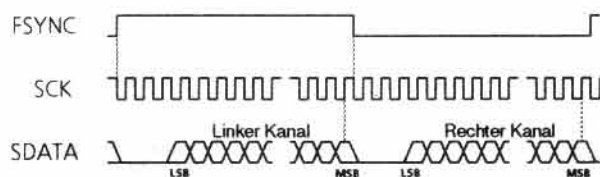
**Format 5 (M2=H, M1=L, M0=H)**



**Format 6 (M2=H, M1=H, M0=L)**



**Format 7 (M2=H, M1=H, M0=H)**



Rys. 10. Formaty danych audio i przebiegi czasowe w CS8402A.

konsumentckiego, stwierdzamy, że jest on wykorzystywany w odtwarzaczach CD. Dopuszcza on zastosowanie omawianego obwodu w sytuacji gdy przy pomocy CSB i UDB przenoszona jest część subkodów zapisanych na CD. Sub-kody CD podlegają specjalnemu formatowi, ich dokładniejsze omówienie wykracza poza ramy niniejszego zestawienia.

Sygnal Master Clock z częstotliwością będącą 128-krotnością (w Transparent Mode 256-krotnością) częstotliwości próbkowania jest podawany na pin MCK. Podział strumienia danych na bloki CS8402A realizuje wykorzystując wewnętrzną synchronizację. Sygnal początku bloku, dostępny na pinie CBL, posiada poziom High w czasie przenoszenia pierwszych 128 CSB. W trybie Transparent Mode pin CBL staje się wejściem poprzez które omawiany obwód jest synchronizowany przez odbiornik CS8412A. Osobliwością CS8402A jest fakt posiadania zintegrowanego sterownika umożliwiającego zasilanie kabli koncentrycznych o impedancji 110Ω sygnałami komplementarnymi (piny TXP i TXN) o amplitudzie 4V. Wejście /RST umożliwia wyzerowanie wszystkich liczników CS8402A i odłączenie ww. sterowników.

**CS8401A**

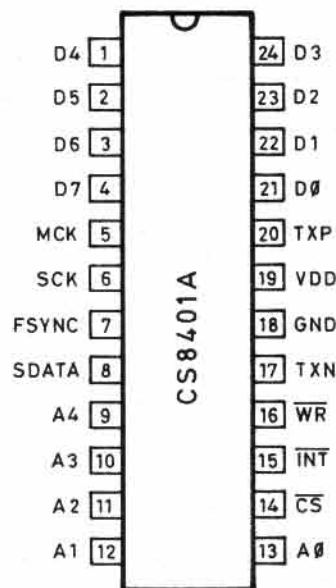
Układ CS8402A ma starszego brata - CS8401A. Różni się on interfejsem dla danych sterujących, które ładowane są równolegle przez mikroprocesor - reprezentuje więc Typ 3. CS8401A posiada 28-bitowy bufor

pamięciowy dla danych sterujących i jest aktualnie najbardziej uniwersalnym i wydajnym ale jednocześnie najbardziej złożonym nadajnikiem interfejsowym. Rozmieszczenie wyprowadzeń tego układu, dostarczanego w wąskiej obudowie DIL24 lub SO, pokazano na rys. 11. Tym razem zaczniemy nie od opisu portu audio, ale od interfejsu z mikroprocesorem - komunikacja na tym łączu jest warunkiem poprawnej inicjalizacji CS8401A, bez której nie będzie on pracował.

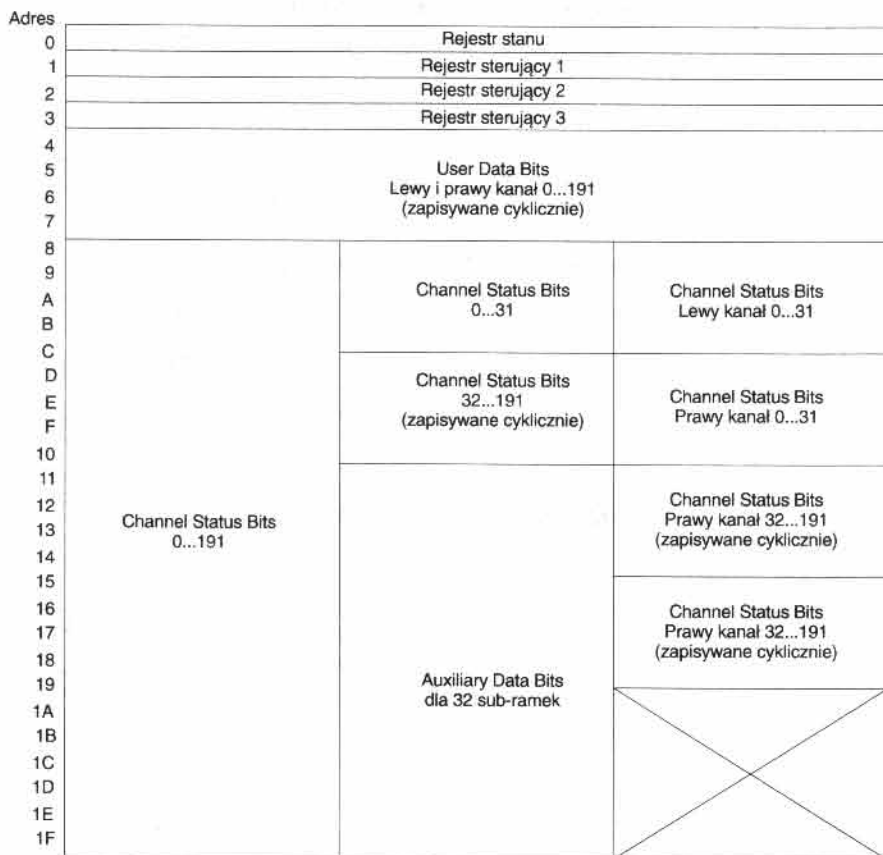
Od strony hardwarowej na interfejs z mikroprocesorem składa się 8-bitowa magistrala danych (D0...D7), 5-cio bitowa magistrala adresowa (A0...A4), linia Chip Select (/CS), linia Read/Write (/WR) i linia przerwania (/Int). Operacja zapisu wymaga uaktywnienia linii /CS przy /WR = L, a operacja odczytu - uaktywnienia linii /CS przy /WR = H. Interfejs charakteryzują tak krótkie czasy dostępu, że nawet szybkie procesory sygnałowe nimi się zadowolą. Od strony programowej komunikacja pomiędzy CS8401A a mikroprocesorem angażuje rejestr stanu i trzy rejestry sterujące, które służą także do konfiguracji portu audio. Pamięć buforowa daje się wykorzystywać sposobami pokazanymi na rys. 12. Poszczególne sposoby różnią się ilością i rodzajem danych sterujących, które układ zapamiętuje.

Zawartość czterech rejestrów CS8401A ilustruje rys. 13. Rejestr stanu wskazuje, przy pomocy 3 flag (bitów), który obszar pamięci danych sterujących jest aktualnie dostępny.

W pierwszym rejestrze sterującym znajdują się m.in. 3 bity maskujące, korespondujące z w/w flagami. Ustawienie każdego z tych bitów powoduje, że gdy tylko korespondująca flaga zostanie „wywieszona” to poprzez linię /INT (wyjście „open collector” - zalecany rezystor „pull-up” 5kΩ) zostanie wywołane przerwanie mikroprocesora. Ponie-



Rys.11. Wyprowadzenia układu CS8401A



Rys. 12. Tryby pracy pamięci danych sterujących w CS8401A

Waż CS8401A cyklicznie i niedestrukcyjnie czytuje pamięć danych sterujących, to dla pewnej grupy danych istnieje możliwość powtarzania ich wysłania podczas gdy inna grupa zostanie wysłana tylko jednorazowo. Oba, najbardziej znaczące bity 1-go rejestru sterującego, wykorzystywane są w trybie Transparent Mode, który to tryb, podobnie jak w wypadku CS8402A, umożliwia bezpośrednie połączenie CS8401A, w tym wypadku z CS8411, dzięki któremu wszystkie dane sterujące przesyłane są przez oba te układy bez jakichkolwiek zmian podczas gdy dane audio mogą być odpowiednio przetwarzane. W synchronizacji obu układów musi uczęstniczyć mikroprocesor, który gdy tylko stwierdzi początek bloku danych w CS8411 to ustawia bit BKST w rejestrze sterującym CS8401A.

Przejdźmy do omówienia 2-go rejestru sterującego w CS8401A. Służy on przede wszystkim skonfigurowaniu interfejsu dla danych sterujących. Bit /RST zeruje wewnętrzne liczniki i odłącza wyjście danych. Ponieważ po przyłożeniu napięcia zasilania wszystkie rejestry (z wyjątkiem pamięci danych sterujących) zostają wyzerowane, to obwód tak długo znajduje się w stanie „bezrobocia“ dopóki mikroprocesor nie poda poziomu High na linię /RST. Bit /Mute dopuszcza programowe „wyciszenie“ danych audio. Bit CRCE uruchamia obliczanie i przesłanie sumy kontrolnej CRC. Bit ten powinien być ustawiony tylko wtedy, gdy ma być realizowana praca w trybie studyjnym. Bity B0 i B1 określają tryb działania pamięci danych sterujących (rys. 12) a bit V przedstawia sobą Validity Flag dla aktualnie przekazywanych próbek

audio. Przy pomocy bitów M0 i M1 określana jest częstotliwość Master Clock (tab. 6).

Trzeci rejestr sterujący służy do konfigurowania portu audio. Podobnie jak w wypadku CS8402A także CS8401A może obrabiać wiele formatów danych audio, posiada jednak znacznie szerszy zakres możliwości - czysto rachunkowo formatów mogłoby być 40. Możliwości konfigurowania obejmują decyzję pracy w trybie Master lub Slave, wybór znaku zbocza dla taktu bitów przejmujących dane audio, jak również wybór formatu FSYNC lub SDATA (rys. 14). Długość słowa danych audio wynosi - dopóki nie zażądan inaczej - 24 bity.

Powróćmy do organizacji pamięci danych sterujących. Czytanie danych sterujących rozpoczyna się zawsze od LSB (najmniej znaczącego bitu) danego obszaru - tak więc np. LSB adresu 8 pojawi się jako bit 0 w strumieniu danych. W zależności od rodzaju pracy odpowiednia część pamięci danych sterujących jest różnie zorganizowana. W trybie 0 wszystkie 192 CSB są zapamiętywane jako jeden blok - dla obu kanałów wysyłane są te same CSB. W tej sytuacji nie ma potrzeby wysyłania numeru kanału. Dla trybu 2 pamięć statusu kanału podzielona jest na dwie części. Jedna z nich zarezerwowana jest dla pierwszych (najważniejszych) 32 CSB a druga, tej samej wielkości, dla pozostałych 160 CSB. Jeśli chcemy z tej drugiej części pobierać dane w ciągły sposób to mikroprocesor musi cyklicznie i synchronicznie wpisywać nowe dane do wychodzących danych. W przeciwieństwie do trybu 0 pozostała, wolna część pamięci, przewidziana jest dla bitów danych zewnętrznych (Auxiliary Data Bits), przy czym na każdej sub-ramkę przesyłane są cztery takie bity. Bity te mogą, jeśli nie są wykorzystane przez data audio,

**Rejestr stanu**



- Flaga 0: High podczas przesyłania pierwszych 32 CSB
- Flaga 1: W trybie 0 High podczas przesyłania ostatnich 64 CSB
- W trybie 1 i 2 High podczas przesyłania od 16 do 31, od 48 do 63 itd CSB's. 1
- Flaga 2: High podczas przesyłania ostatnich 16 User Data Bits

**1-szy Rejestr Sterujący**



- Maska 0: gdy High to przy zmianie stanu flagi 0 wywołuje przerwanie
- Maska 1: gdy High to przy zmianie stanu flagi 1 wywołuje
- Maska 2: gdy High to przy ustawionej flagce 2 wywołuje przerwanie
- TRNPT: uaktywnia Transparent Mode
- BKST: Wymusza w Transparent Mode początek nowego bloku

**2-gi Rejestr Sterujący**



- RST: Low zeruje wszystkie liczniki i blokuje wyjście danych
- Mute: Wycisza dane audio
- CRCE: High umożliwia obliczenie i przesłanie CRC (używają tylko w formacie studyjnym)
- B0, B1: Wybór trybu pracy pamięci buforowej
- V: Validity Flag dla aktualnie przesyłanych danych audio
- M0, M1: Wybór częstotliwości Master (patrz Tab.6)

**3-ci Rejestr Sterujący**



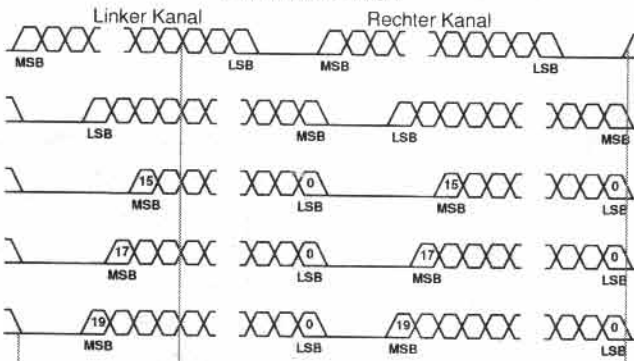
- SCED: Określa kierunek zbocza SCK, przy którym dane audio będą przejmowane
- MSTR: High uaktywnia rodzaj pracy Master i zamienia piny SCK i FSYNC na wyjścia
- FSF0, FSF1: Wybór formatu FSYNC (rys.14)
- SDF0...SDF2: Wybór formatu danych na linii SDATA (rys.14)

Rys. 13. Rejestry CS8401A.

SDF[2..0]

LLL  
LLH  
LHL  
HLL  
HHL

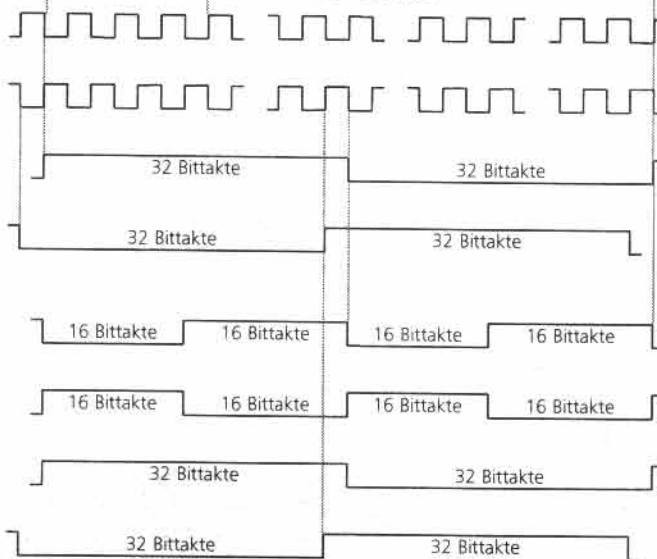
SDATA-Format



FSF[1..0] MSTR

LL L  
LH L  
HL L  
HH L  
LL H  
LH H  
HL H  
HH H

FSYNC-Format



Rys. 14. Formaty danych audio i zależności czasowe dla CS8401A

przenosić inne dane (np. mowę).

W trybie 2 CSB dla obu kanałów są zapamiętane i przenoszone oddzielnie, przy czym dla CSB od numeru 32 aktualne jest to co powiedziano dla trybu 1. Część pamięci danych sterujących, od adresu 18H, w trybie 2 nie jest wykorzystywana. Pamięć dla User Data Bits jest niezależna od trybu pracy, zawsze jednakowo zorganizowana i oferuje miejsce dla UDB dla 16-tu próbek stereo. Należy pamiętać, że CS8401A czytuje jeden UDB, na każdą sub-ramkę (a nie ramkę) - tak więc zapamiętane bity są na przemian przyporządkowywane lewemu i prawemu kanałowi. Pamięć danych sterujących jest realizowana przez tzw. Dual-Port-RAM, dzięki czemu nawet w wypadku zre-

zygowania z opisanego powyżej sterowania przez przerwania możliwy jest bezkolizyjny dostęp mikroprocesora do tej pamięci bez względu na to, że w tym samym momencie może zająć wewnętrzne czytanie tego samego adresu. Musi się jedynie zapewnić aby nie wystąpiło zapisywanie przez mikroprocesor takiego adresu, który jest właśnie czytany przez wewnętrzne obwody układu - można to zapewnić przez uprzednie odczytanie stanu flagi w rejestrze stanu. Koncepcja programowej synchronizacji bloków spowodowała, że CS8401A nie posiada wejścia „start bloku”.

Dla pełności opisu interfejsu danych sterujących należy wspomnieć, że zarówno CS8401A jak i jego młodszy brat CS8402A posiadają zintegrowane sterowniki RS422 umożliwiające bezpośrednie podłączenie kabli koncentrycznych na komplementarne

wyjścia TXP i TXN.

Podłączenie obciążenia

Sprzężenie obwodu nadajnika interfejsowego z optyczną lub koncentryczną linią przesyłową nie wymaga rozbudowanych układów. Korzystanie z kabla koncentrycznego (rys. 15) wymaga aby posiadał on oporność falową 75Ω (dla standardu S/P-DIF) lub 110Ω (dla standardu AES/EBU) - w pierwszym wypadku powinien on być zasilany napięciem 0,5V<sub>ss</sub> a w drugim 5V<sub>ss</sub>. Oba omówione układy firmy Crystal posiadają przystosowane do tej funkcji stopnie wzmacniające, pozostałe wymagają skorzystania ze specjalnych układów (RS422 Line Drivers) jak np. μA9638, SN75ALS191, lub AM26LS31. Separacja galwaniczna może być zrealizowana bezproblemowo ponieważ przyjęty rodzaj modulacji (Biphase-Mark-Modulation) zapewnia, że nie wystąpi składowa stała. W wypadku formatu S/P-DIF musi być przeprowadzone, w przeciwieństwie do formatu AES/EBU, takie dopasowanie poziomu aby nie został przekroczony poziom napięcia określony normą. Wartości rezystorów podane na rys.15 należy traktować jako orientacyjne - muszą one uwzględnić skok napięcia na wyjściu stopni sterujących.

Przenoszenie sygnałów na drodze optycznej jest bardzo łatwe do zrealizowania i oprócz opto-nadajnika i rezystora ograniczającego jego prąd nie wymaga dodatkowych elementów (rys. 16). [9]. Łączą tego typu z powodzeniem działają na odległość do 10m. Problemy układowe związane z takimi łączami są szczegółowo opisane w [4].

W następnej części tego artykułu omówione zostaną interfejsowe odbiorniki i obwody nadawczo-odbiorcze.

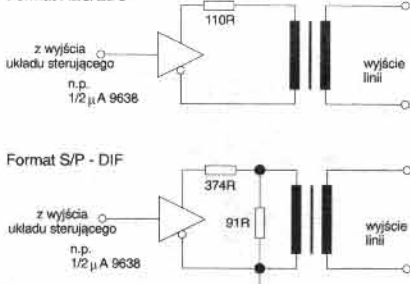
Steffen Schmid

Literatura

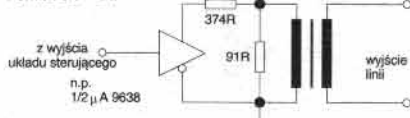
1. DIN EN 60958, Digitalton- Schnittstelle, Beuth Verlag, Berlin, Mai 1991
2. DIN IEC 84 (CO) 126, Digi-talton-Schnittstelle, Änderung 1 (Entwurf), Beuth Verlag, Berlin, Feb. 1992
3. Digitale Audiodaten-Schnittstelle, Teil 2, ELRAD 9/92, s. 50 ff
4. Digitale Audiodaten-Schnitt-stelle, Teil 1, ELRAD 10/92, s. 24 ff
5. IIS bus specification, Release 2-86, Philips Export B.V., Order No. 9398 332 1001
6. Datenblatt YM3437C, Catalog No. LSI-21343772, Yamaha Corp.
7. Datenblätter TC9231N und TC9271N, Yamaha Corp.
8. Audio Databook, Crystal Semi-conductor Corp.
9. Toslink Fibver Optic Devices, Toshiba Corp.

Artykuł publikujemy na podstawie umowy z redakcją niemieckiego miesięcznika ELRAD.

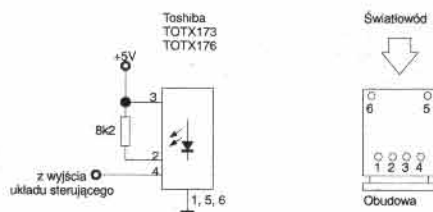
Format AES/EBU



Format S/P - DIF



Rys. 15. Połączenie wyjścia dla zasilania kabla koncentrycznego



Rys. 16. Połączenie wyjścia dla zasilania światłowodu