

Co potrafią PLD? - projekt 4

# Karta testowa do komputerów PC ze złączem ISA

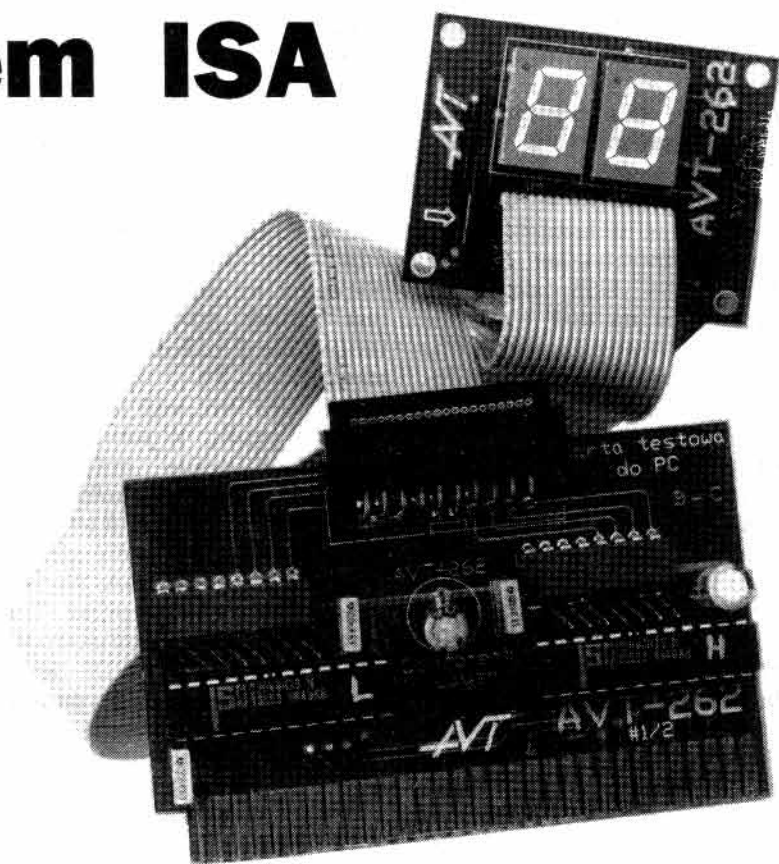
## kit AVT-262

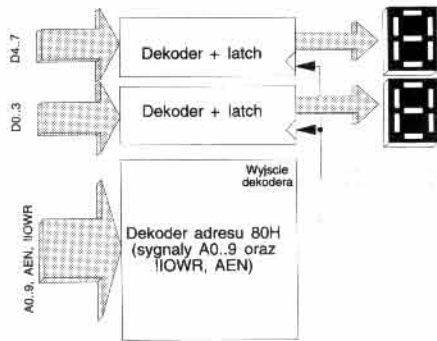
Karta testowa dla komputerów PC nie jest nowym tematem w EP; propozycję wykonania takiej karty opublikowaliśmy już w EP1/94 jako jedną z możliwych aplikacji zestawu AVT-114. Bardzo duże powodzenie tego zestawu spowodowało autora do odświeżenia tematu w znacznie udoskonalonej wersji - przedstawiamy opis uniwersalnej karty testowej wykonanej zaledwie na dwóch układach scalonych! Skąd taka miniaturyzacja? Otóż po raz kolejny kłaniają się układy PLD - zastosowane w tego typu aplikacjach standardowe GALE czują się naprawdę dobrze, umożliwiając uproszczenie montażu całego układu i znacznie ułatwiając uruchomienie płytki. Jako dodatek do artykułu dołączamy opis procedur testowych wraz z numerami testów dla pięciu typów płyt dostępnych aktualnie na rynku. W większości są to płyty uniwersalne, potrafiące pracować z dowolnym procesorem rodziny 486, ale jest wśród nich także płyta przystosowana do pracy z procesorem Pentium 60. Dane zaczerpnięto z dokumentacji dołączanych do płyt głównych.

### Co to są procedury testowe?

Każdy komputer zgodny ze standardem PC tuż po włączeniu zasilania odczytuje z pamięci ROM (czyli tam, gdzie jest zapisany BIOS) rozkazy inicjujące pracę całego systemu - uruchamiane są kontrolery przerwań, timery, inicjowane sterowniki itd. Pomiedzy tymi operacjami program „zaszyty” w BIOSie testuje wszystkie istotne elementy komputera, tzn. rozmiar i sprawność pamięci RAM, obecność indywidualnych BIOSów kart rozszerzających, pracę kontrolerów przerwań itd. Ilość i sposób przeprowadzania testów zależy od producenta płyty oraz autora programu BIOS. Wszystkie procedury inicjacyjne i testowe nazywane są ogólnie POST (ang. Power On Self Test).

Aby ułatwić stawianie diagnozy w przypadku awarii komputera jego konstruktorzy wymyślili, że przed rozpoczęciem każdej z procedur testowych pod określony adres (identyczny dla każdego komputera PC) będzie wpisana 8-bitowa dana, która za pomocą dwóch cyfr szesnastkowych wyróżni kolejną procedurę. W wypadku awarii komputera wystarczy więc odczytać liczbę wpisana pod ten adres, aby w przybliżeniu stwierdzić, co spowodowało złą pracę komputera. Jak widać, bardzo ważne jest posiadanie dokumentacji technicznej do posiadanej płytki. W niej to właśnie powinna być zawarta tabela przyporządkowująca danej liczbie odpowiednią procedurę. Tutaj, niestety, nie udało się zachować żadnego standardu, pomimo usilnych prób unifikacji podjętych przez





Rys. 1. Schemat funkcjonalny karty testowej.

IBM na początku istnienia PC. Wynika to przede wszystkim z ogromnej różnorodności stosowanych przez producentów procedur testujących - autor spotkał się z płytą komputera AT286, która wykonywała tylko 9 testów POST, podczas gdy w tej chwili standardem jest 20..100 testów, co mniej więcej obrazuje skalę trudności. Adresem bazowym dla karty testowej jest port 80<sub>H</sub> w przestrzeni wejścia/wyjścia.

**Opis układów GAL\_L oraz GAL\_H**

Głównym zamiarem autora przy projektowaniu karty było zminimalizowanie ilości zastosowanych układów scalonych. Z tego powodu standardowe układy TTL i CMOS nie były w ogóle brane pod uwagę. Wybór padł na reprogramowalne układy z rodziny GAL.

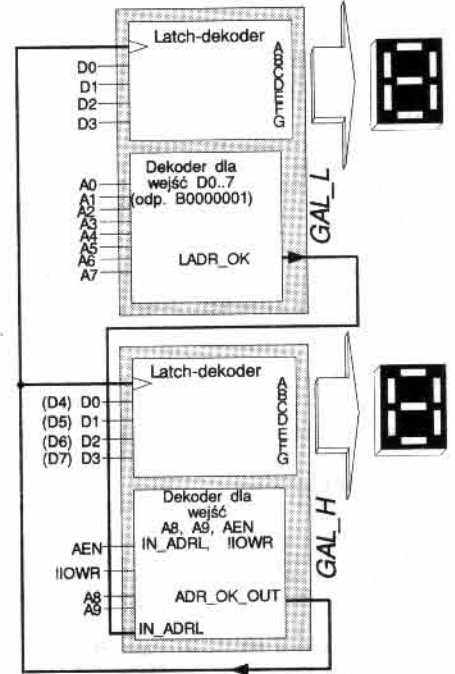
Do wysterowania dwóch siedmiosegmentowych wyświetlaczy potrzebny byłby układ o minimum 14 wyjściach (po jednym na każdy segment), czego nie mógł zapewnić żaden z popularnych układów GAL. Koniecznym stało się zatem zastosowanie układów PLD z innych rodzin - pod uwagę wzięto przede wszystkim rodzinę MAX firmy Altera. Optymalnym (funkcjonalnie) dla tego zastosowania układem byłby EPM7032, lecz cenowo został przeбит przez dwa układy GAL20V8, w których projekt także się mieścił. Potrzebne było jednak zastosowanie kilku bardzo prostych sztuczek, pozwalających na dobre upakowanie bloków funkcjonalnych urządzenia.

Na **rysunku 1** pokazano schemat funkcjonalny karty testowej, **rysunek 2** przedstawia schemat podziału zadań pomiędzy układa-

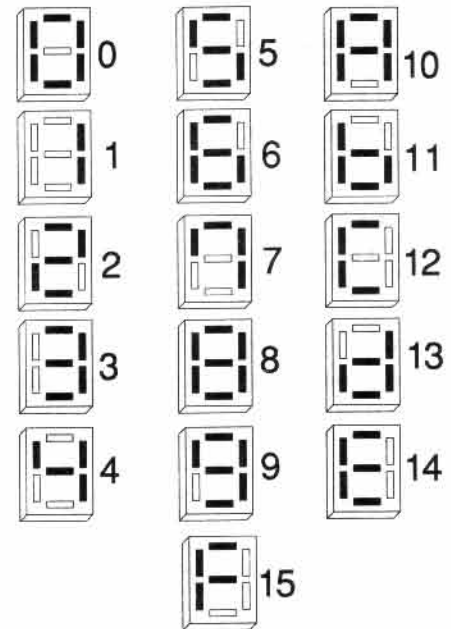
mi GAL\_L oraz GAL\_H. Jak widać, w obydwu układach zaimplementowano dekodery NKB → kod wskaźnika 7-segmentowego. W obydwu układach dekodery wyświetlacza jest opisany identycznymi funkcjami kombinacyjnymi, zapisanymi jako funkcje wejściowe dla wejść danych przerzutników typu D na wyjściu makromórek OLMC. Tak więc, oprócz realizowanej funkcji dekodera obydwie układy działają dodatkowo jak rejestry pamięciowe, dzięki czemu wpisana do układu dana jest wyświetlana aż do kolejnego wpisu. Funkcje dla poszczególnych wyjść skonstruowano w taki sposób, aby było możliwe wyświetlanie znaków z całego zakresu danych wejściowych, tzn. 0..9 oraz A..F. Dzięki temu odczyt danych szesnastkowych nie sprawia żadnych trudności.

**Rysunek 3** przedstawia kształty wszystkich wyświetlanych przez dekodery znaków. Rozróżnienie układów na GAL\_L i GAL\_H zostało spowodowane koniecznością podzielenia dekodera adresu karty pomiędzy dwa układy - zbyt mała ilość końcówek wejściowych (jest to drugi powód, pierwszym jest zbyt mała ilość wyjść dla wysterowania dwóch wyświetlaczy LED) uniemożliwiła upakowanie całości w jednym układzie.

Układ GAL\_L dekoduje stany linii adresowych A0..7, co łatwo zaobserwować na **listingu 1**. Wyjściem układu dekodującego te wejścia adresowe jest LADR\_OK (ang. Low ADDRESS OK). Stan wysoki na tym wyjściu jest informacją o poprawnej kombinacji stanów wejściowych na liniach A0..7, dla układu GAL\_H. LADR\_OK podany jest na wejście IN\_ADRL układu GAL\_H, dzięki czemu jest traktowany jak jeden z pozostałych sygnałów szyny sterującej - GAL\_H dekoduje ponadto linie A8 i A9 oraz sygnały !IOWR oraz AEN. W chwili pojawienia się na sygnałach sterujących powodujących wpis danej pod adres I/O 80H na wyjściu układu GAL\_H, oznaczonym ADR\_OK\_OUT pojawia się dodatkni impuls powodujący wpis danej z szyny danych D0..7 do rejestrów dekodery w układach GAL\_L oraz GAL\_H. Wpis ten jest możliwy dzięki połączeniu (gal-



Rys. 2. Podział zadań pomiędzy układami GAL.



Rys. 3. Kształty znaków wyświetlanych przez dekodery.

waniczne połączenie wykonane jest na płytce drukowanej) sygnału ADR\_OK\_OUT z wejściami zegarowymi CLK obydwu układów. **Listing 2** opisuje dokładnie realizowane przez GAL\_H funkcje.

Wejścia !OE obydwu układów należy na stałe podłączyć do masy zasilania, aby uaktywnić wszystkie wyjścia. Jest to wymóg narzucony przez budowę układów GAL20V8.

**Rysunki 4 i 5** przedstawiają wyprowadzenia obydwu układów

```

NAME 80_L;
REV 1.2;
DATE 15/11/94;
DESIGNER Piotr Zbysinski;
ASSEMBLY N/A;
LOCATION N/N;
DEVICE G20V8;

/* ***** */
/* Układ dekodera wyświetlacza LED wraz z czesciowym dekoderelem */
/* adresowym dla karty testowej POST dla PC - czesc LOW */
/* Wyświetlacz ze wspolna anoda! */
/* ***** */

/*INPUTS*/
pin 1 = CLK; /* Wejscie wpisu do rejestrow */
pin [2..7,23,14] = [A0..7]; /* Wejscia adresowe ze zlacza PC */
pin [8..11] = [D0,D1,D2,D3]; /* Wejscia danych do zdekodowania */

/*OUTPUTS*/
pin 15 = LADR_OK; /* Wyjscie sygnalizacji do */
/* ukkladu High, ze adres A0..7 */
/* odpowiada kombinacji 80H */
pin [16..22] = [A,B,C,D,E,F,G]; /* Wyjscia sterujace */
/* segmentami wyswietlacza */

/*LOGIC EQUATIONS*/
field ADRES_LOW = [A7..0]; /* Deklaracja pola adresu */

A.d = D0 & !D1 & D2 & D3 /* Rownania opisujace sposoby */
# D0 & !D1 & !D2 & !D3 /* sterowania segmentami */
# !D0 & !D1 & D2 & D3 /* wyswietlacza. */
# D0 & D1 & !D2 & D3; /* Symbol ".d" po nazwie segmentu */
/* oznacza ze stan logiczny */
B.d = !D0 & !D1 & D2 & D3 /* funkcji w danej chwili jest */
# D0 & !D1 & D2 & !D3 /* zapamietywany w rejestrze */
# !D0 & D1 & D2 /* */
# D0 & D1 & D3; /* wyjsciowym OLMC */

C.d = D0 & D1 & D2 & D3
# !D0 & D1 & !D2 & !D3
# !D0 & D2 & D3;

D.d = !D0 & D1 & !D2 & D3
# D0 & !D1 & !D2 & !D3
# !D0 & !D1 & D2 & !D3
# D0 & D1 & D2;

E.d = D0 & !D1 & !D2 & D3
# D0 & !D2 & !D3
# !D1 & D2 & !D3
# D0 & D1 & D2 & !D3;

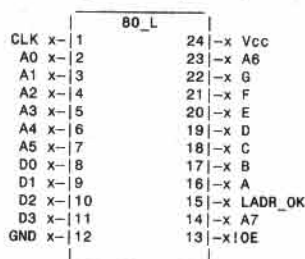
F.d = D0 & !D1 & D2 & D3
# D0 & !D2 & !D3
# !D0 & D1 & !D2 & !D3
# D0 & D1 & D2 & !D3;

G.d = !D1 & !D2 & !D3
# !D0 & !D1 & D2 & D3
# D0 & D1 & D2 & !D3;

LADR_OK = ADRES_LOW: 'b'10000000; /* Przypisanie zmiennej */
/* ADRES_LOW wartosci 80H */

```

Listing 1. Program zapisany w układzie GAL\_L.



Rys. 4. Wyprowadzenia układu GAL\_L.

```

NAME 80_H;
REV 1.5;
DATE 15/11/94;
DESIGNER Piotr Zbysinski;
ASSEMBLY N/A;
LOCATION N/N;
DEVICE G20V8;

/* ***** */
/* Układ dekodera wyświetlacza LED wraz z czesciowym dekoderelem */
/* adresowym dla karty testowej POST dla PC - czesc High */
/* Dekoder przeznaczony dla wyswietlacza ze wspolna anoda! */
/* ***** */

/*INPUTS*/
pin 1 = CLK;
pin 6 = IN_ADRL;
pin [2..3] = [A8..9];
pin 5 = AEN;
pin 4 = IOWR;
pin [8..11] = [D0,D1,D2,D3];

/*OUTPUTS*/
pin 15 = ADR_OK_OUT;
pin [16..22] = [A,B,C,D,E,F,G];

/*LOGIC EQUATIONS*/
field ADRES = [A8,A9,AEN,IOWR,IN_ADRL];

A.d = D0 & !D1 & D2 & D3
# D0 & !D1 & !D2 & !D3
# !D0 & !D1 & D2 & D3
# D0 & D1 & !D2 & D3;

B.d = !D0 & !D1 & D2 & D3
# D0 & !D1 & D2 & !D3
# !D0 & D1 & D2
# D0 & D1 & D3;

C.d = D0 & D1 & D2 & D3
# !D0 & D1 & !D2 & !D3
# !D0 & D2 & D3;

D.d = !D0 & D1 & !D2 & D3
# D0 & !D1 & !D2 & !D3
# !D0 & !D1 & D2 & !D3
# D0 & D1 & D2;

E.d = D0 & !D1 & !D2 & D3
# D0 & !D2 & !D3
# !D1 & D2 & !D3
# D0 & D1 & D2 & !D3;

F.d = D0 & !D1 & D2 & D3
# D0 & !D2 & !D3
# !D0 & D1 & !D2 & !D3
# D0 & D1 & D2 & !D3;

G.d = !D1 & !D2 & !D3
# !D0 & !D1 & D2 & D3
# D0 & D1 & D2 & !D3;

ADR_OK_OUT = ADRES: 'b'00001;

```

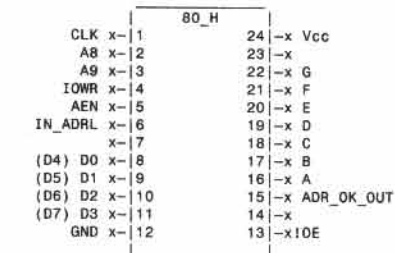
Listing 2. Program zapisany w układzie GAL\_H.

wraz z oznaczeniami przyjętymi przez autora. Wyjścia A..G sterują odpowiednimi segmentami wskaźników LED (ze wspólną anodą). Oznaczenie w obydwu układach wejść danych indeksami 0..3 wynika z ograniczeń kompilatora CUPL, który był wykorzystany podczas opracowania projektów układów. W rzeczywistości, dla układu GAL\_L oznaczenia wraz z indeksami pozostają takie same jak na rys. 4, natomiast dla układu GAL\_H wejście D0 odpowiada sygnałowi D4 szyny danych i dalej D1-D5, D2-D6, D3-D7, co zaznaczono w nawiasach.

### Schemat układu

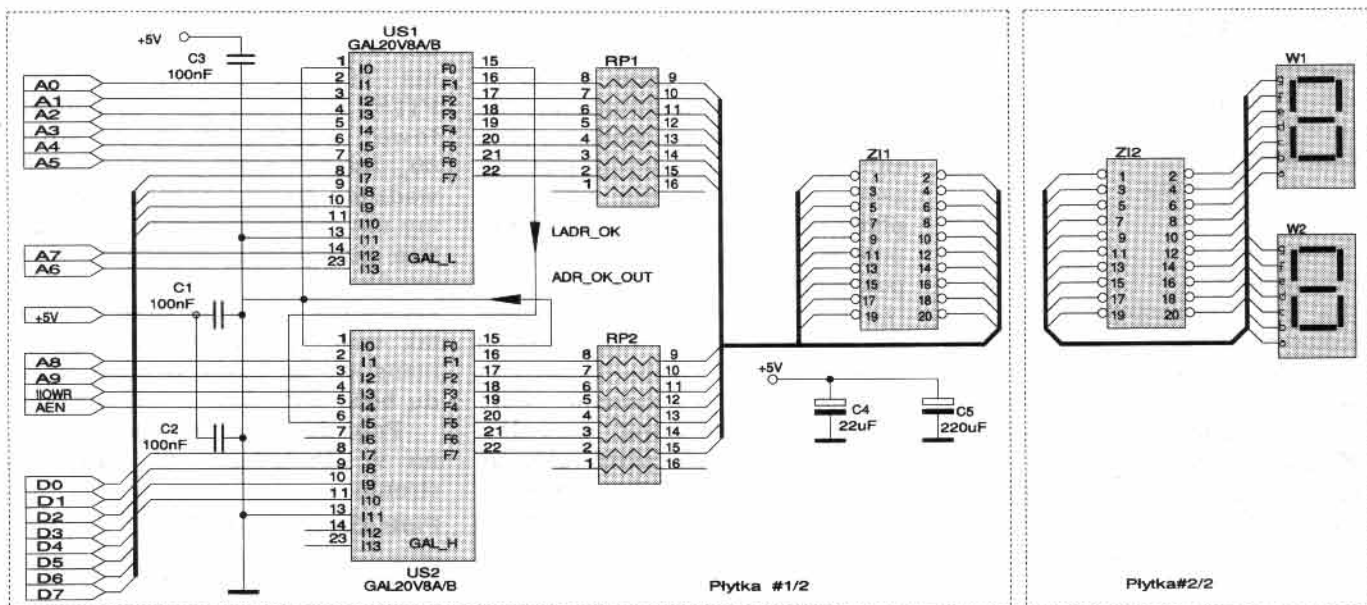
Na rysunku 6 przedstawiono schemat elektryczny proponowanego rozwiązania. Jak widać,

w skład urządzenia wchodzi, oprócz dwóch zaprogramowanych GALi, zaledwie dwa ograniczające prąd płynący przez układy R-Pack, segmenty wyświetlaczy, dwa wyświetlacze LED oraz pięć kondensatorów. Warto też zastosować złącza szpilkowe z przewodem łączącym płytę wyświetlacza z płytą testową. Takie rozwiązanie przyjęto w celu ułatwienia odczytu danych wpisywanych pod adres 80<sub>H</sub>. Karta jest pozbawiona mocującego „śledzia”, ponieważ ułatwia to procedurę testową - nie trzeba demontować znajdujących się w komputerze śledzi. Ma to duże znaczenie zwłaszcza dla posiadaczy obudów nowszych typów wyposażonych w śledzie wyłamywane, a nie tradycyjne - wkręcane. Ma to także pewien

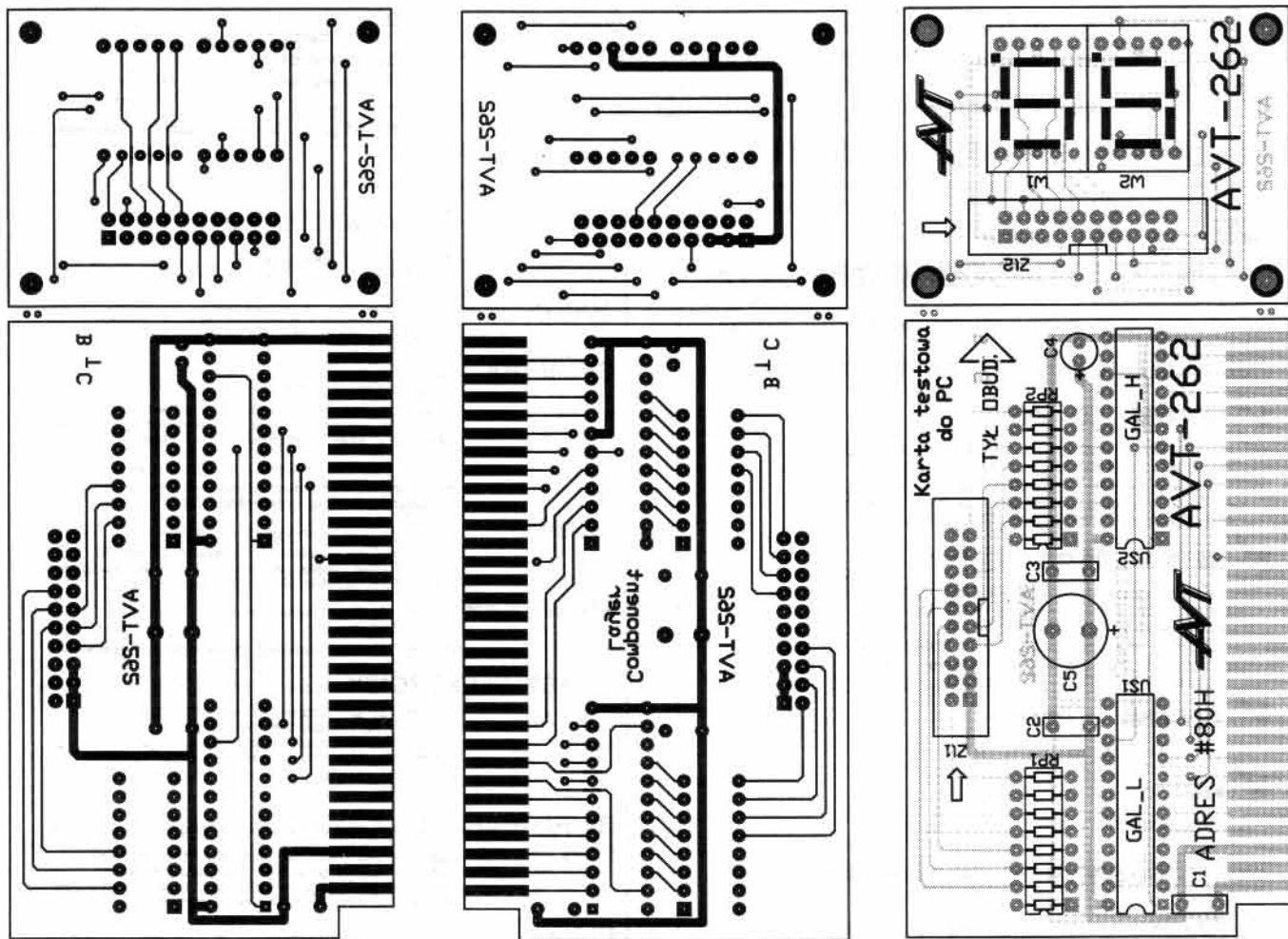


Rys. 5. Wyprowadzenia układu GAL\_H.





Rys. 6. Schemat elektryczny karty testowej.



Rys. 7 i 8. Mozaika ścieżek i rozmieszczenie elementów na płytce.

wpływ na cenę układu.

### Montaż i uruchomienie

Przed rozpoczęciem montażu elektrycznego płytki wchodzące w skład formatki należy rozłamać

i opłować drobnoziarnistym pilnikiem lub papierem ściernym. Bardzo istotne jest także szlifowanie krawędzi złącza, które pomimo dość dokładnego cięcia może powodować zwarcie w szynie

komputera. W praktyce wystarczy kilkukrotne przeciągnięcie pilnikiem wzdłuż krawędzi złącza.

Montaż elektryczny karty jest stosunkowo prosty - pod układy GAL\_L oraz GAL\_H należy zasto-

**WYKAZ ELEMENTÓW****Rezystory**

RP1, RP2: 150..390Ω (obudowa DIL14/16)

**Kondensatory**

C1, C2, C3: 100nF

C4: 22μF/10V

C5: 220μF/10V

**Półprzewodniki**

US1, US2: GAL20V8A/B

(zaprogramowane)

W1, W2: LED7WA (WA1)

**Różne**

Z11, Z12: złącze szpilkowe 20-pinowe (kpl.)

kabel płaski 20-żyłowy 20..40cm

wkręty M3 z nakrętkami

tulejki dystansowe h=3..5mm

sować podstawki. Złącza Z11 oraz Z12 mogą być kątowe lub proste, należy tylko podczas montażu pamiętać o zachowaniu poprawnego usytuowania „1“ wyprowadzenia złącza.

Płytki drukowane są dwustron-

ne, wszystkie otwory są metalizowane (rys. 7). Rozmieszczenie elementów przedstawia rys. 8. Oprócz płytek testera i wyświetlaczy, do zestawu dołączono dodatkową płytkę z otworami bazowymi przeznaczoną do przykręcenia od spodu płytki wyświetlaczy. Płytki należy połączyć ze sobą wkrętami M3, zaś pomiędzy płytkami trzeba umieścić izolacyjne tuleje dystansowe o grubości 3..10mm. Takie rozwiązanie zapewni dużą odporność urządzenia na powstawanie zwarć mogących spowodować uszkodzenie zasilacza lub płyty głównej komputera (łatwo dotknąć nieosłoniętą płytką drukowaną do obudowy komputera, która z reguły jest połączona z masą zasilania).

Kabel łączący obydwie płytki wykonano z płaskiej taśmy 20-żyłowej z zaciśniętymi na końcach żeńskimi złączami szpilkowymi. Powinien mieć on długość minimum 30cm.

Uruchomienie po zamontowa-

niu karty do komputera sprowadza się w zasadzie do sprawdzenia (np. za pomocą programu PTEST.EXE), czy dane są prawidłowo wpisywane pod adres 80<sub>H</sub>. Jeżeli montaż został przeprowadzony starannie, żadne problemy nie powinny wystąpić. Wszystkie układy GAL dostępne w sieci handlowej AVT są testowane funkcjonalnie po zaprogramowaniu, tak więc jest małe prawdopodobieństwo, że błędy w pracy układu będą wywołane z ich powodu.

Procedury testowe opublikowano w "Dodatku..." na następnej stronie.

**Piotr Zbysiński, AVT**

## Dodatek do "Karty testowej do komputerów PC ze złączem ISA" - procedury testowe

Wykaz POST-kodów (heksadecymalnie) dla Green AWARD - BIOS'u v.1.1 (płyta Green EXP4044 - 486SX/DX/DX2).

COH	wyłączenie pamięci Cache;
01	pierwszy test procesora;
02	drugi test procesora;
03	inicjalizacja wszystkich układów systemu;
04	test układów odzwierciedlenia pamięci DRAM;
05	inicjacja kontrolera klawiatury;
07	kontrola poprawności zawartości pamięci CMOS;
08..BE	ustawianie zawartości rejestrów kontrolnych (wg danych BIOS);
C1	testowanie rozmiaru pamięci;
C5	uruchomienie pamięci Shadow dla BIOS'u;
C6	kontrola rozmiaru pamięci Cache;
08	inicjalizacja i test pierwszych 64kB dolnej pamięci RAM;
09	inicjalizacja procesora Cyrix (jeżeli jest zamontowany);
0A	inicjalizacja pierwszych 120 wektorów przerwań;
0B	kontrola sumy kontrolnej pamięci CMOS;
0C	detekcja typu podłączonej klawiatury;
0D	inicjacja karty video;
0E	test pamięci Video;
0F	test DMA #0;
10	test DMA #1;
11	test rejestru strony DMA;
14	test timera #2;
15	test kontrolera przerwań #1;
16	test kontrolera przerwań #2;
19	kontrola przerywania NMI;
1A	kontrola częstotliwości zegara systemowego;
1F..1F	dotyczą wersji EISA;
30	kontrola rozmiaru zainstalowanej pamięci;
31	test pamięci RAM;
3C	uruchomienie Setup'u;
3E	inicjacja kontrolera pamięci cache;
41	inicjacja kontrolera FDD;
42	inicjacja kontrolera DD;
43	inicjacja portów I/O (LPT, RS, Game);
45	detekcja i inicjacja koprocesora arytmetycznego;
4F	zatrzymanie do momentu podania hasła (opcja);
51	włączenie kontroli parzystości, włączenie NMI, włączenie cache'a;
52	inicjalizacja BIOS'ów kart rozszerzających umieszczonych pod adresami C800..EFFF;
53	przebieganie bieżącego czasu z RTC;
60	włączenie zabezpieczenia antywirusowego (opcja);
61	ustawienie domyślnej szybkości pracy systemu (Turbo lub Normal);
62	włączenie Num Lock'a klawiatury (opcja);
63	początek ładowania systemu (INT19);
FF	koniec testów (inicjalizacja).

Wykaz POST-kodów (heksadecymalnie) dla AMI-BIOS'u v. 2.34 i wyższych (płyta EXP4004/34).

01	start procedur testowych;
02	test rejestrów w pamięci procesora polegający na zapisie na przemian wartości 0000H i FFFFH i kontrolnym odczycie rejestrów;
03H	weryfikacja sumy kontrolnej obszaru pamięci ROM zajętego przez procedury POST oraz BIOS;
04	test timera systemowego nr 1;
05	DMA0 Initialization Test - testowanie zerowego DMA;
06	DMA1 Initialization Test - testowanie pierwszego kanału DMA (odczyt - zapis);
07	DMA Page Register Test - wpisywanie i odczyt wzorów binarnych (bit pattern) do rejestrów stron DMA;
0A	wejście procedury ciepłego restartu systemu;
0B	test pamięci (test odbywa się poprzez zapis bajtu zerowego) procesora 8042 oraz test pierwszych pamięci RAM;
0D	inicjalizacja licznika wierszy ekranu (synchronizacja Video);
12	testowanie rejestrów procesora pracującego w trybie chronionym;
13	inicjalizacja kontrolera przerwań 8259 (#2);
14	załadowanie do pamięci RAM adresów procedur obsługi przerwań programowych zawartych w BIOS;
15	sprawdzenie sumy kontrolnej pamięci CMOS;
16	ustawienie flagi sygnalizującej awarię zasilania pamięci CMOS;
19H..1A	kontrola rozmiaru i testowanie pamięci RAM (do 640kB);
1C	kontrola i testowanie pamięci powyżej 1MB - procedura wykonywana w trybie chronionym procesora;
1D	zapis rozmiaru pamięci RAM do pamięci CMOS;
20	kontrola obecności rozszerzonej karty Video (EGA, VGA);
23H, 24H, 28H	pełny test kontrolera przerwań 8259;

29H, 2AH, 2B	dotodkowy test zapis/odczyt przeprowadzony w trybie chronionym procesora;
30H, 31H, 32H, 33H, 34H	test klawiatury (kontrola szybkości transmisji, test bufora klawiatury, test dołączenia klawiatury);
35	kontrola zainstalowania w systemie dodatkowej pamięci ROM (adresy C800H..E000H);
36	test dołączenia i określenia rodzaju stacji dysków "A", jej typu i poprawności inicjalizacji kontrolera dysków FDC;
37	test dołączenia i określenia rodzaju stacji dysków "B" do kontrolera;
3A	test HDD (parametry dysku odczytane są z pamięci CMOS);
3F	test portu drukarki 31FH;
40	wyjście do procedur początkujących bootowanie systemu (możliwe jeżeli test 41H wypadł poprawnie);
41	ostatni test przed wywołaniem przerwania INT19H (skok do BOOT LOADER'a) - wszystkie poprzednie wypadły pozytywnie;
42	próba załadowania DOS'u z twardego dysku;
82	zezwolenie na pracę wirtualną;
FF	koniec testów, start systemu;

Wykaz POST-kodów dla graficznej wersji AMI BIOS'u:

01	testy rejestrów procesora (wejście procedury testującej);
03	test sumy kontrolnej pamięci ROM;
04	kontrola poprawnej inicjalizacji kontrolera 8259;
06	blokada karty Video, test timera referencyjnego układów synchronizujących wyświetlanie;
07	test kanału #0 timera 8259;
08	test #0 kanału licznika systemowego;
09	j.w. dla #1 kanału;
0A	j.w. dla kanału o numerze #2;
0D	test maksymalnego okresu odświeżania pamięci RAM;
0E	kontrola czasu pomiędzy kolejnymi cyklami "refresh" początek testu 64kB RAM;
10	test linii adresowych;
13	inicjalizacja wektorów przerwań systemowych;
14	test procesora klawiatury 8042;
15	test pamięci CMOS (zapis-odczyt);
16	test sumy kontrolnej i zasilania pamięci CMOS;
18	próba ustawienia trybu graficznego kolor (CGA);
19	test obecności rozszerzonych sterowników graficznych (EGA, VGA);
1A	test sumy kontrolnej BIOS'u rozszerzonej karty graficznej (jeżeli jest obecna w systemie);
1B	kontrola (zapis-odczyt) pamięci Video;
1E	inicjacja rejestrów karty Video;
1F	ustawianie trybu Video mono/color;
2A	test Video 1 (pony wejściowe sterujące);
2B	test Video 2 (czas trwania impulsów synchronizacji, odstępy między nimi, test pamięci Video);
30	początek testu pamięci w trybie wirtualnym;
31	test pamięci w trybie wirtualnym;
32	ustawienie wirtualnego trybu dostępu do pamięci RAM;
33H, 34H, 35H	test linii adresowania pamięci;
36H	test rozmiaru pamięci RAM;
37H, 38H, 39	inicjalizacja pamięci poniżej 1M;
3A	wyświetlenie rozmiaru pamięci;
3B	początek testu pamięci powyżej 1M;
3E	początek procedury przełączania w tryb rzeczywisty procesora;
3F	poprawne wyjście z procedury przełączającej;
40	początek testu kontrolera DMA;
4E	koniec testu linii adresowych;
50	poprawny przebieg testu rejestru strony w kontrolerze DMA;
51H..53	testy kontrolera DMA;
56	programowanie sterowników DMA1 i DMA2;
57	koniec inicjalizacji układu 8259;
58	test rejestru maski 8259;
5A	test timerów systemowych i przerywania klawiatury;
70	początek testu kontrolera klawiatury;
72	test klawiatury;
74H..75	test FDC i stacji dysków elastycznych ("A" i "B");
76H..77	test HDC i dysków twardych ("C" i "F");
79	inicjalizacja timerów #0 oraz #1;
7A	początek procedury diagnostycznej błędów wykrytych podczas testu pamięci;
7B	weryfikacja informacji zapisanych w pamięci CMOS;
7F	test sumy kontrolnej rozszerzenia BIOS'u;
80	inicjalizacja portów równoległych drukarki LPT1..3;
81	test złącza RS232 (COM1 - COM3);
85	test koprocesora matematycznego;
86	początek procedury inicjującej bootowanie systemu;
87	test obecności pamięci ROM pod adresem E000.0000;
00	zakończenie testów - start procedur systemowych.

Wykaz POST-kodów (heksadecymalnie) Award BIOS ver 3.3X.

01..05	testy procesora klawiatury 8042;
06	testy układów LSI na płycie głównej;
07	testy CPU;
08..0E	testy timera, kontrolera DMA, kontrolera przerwań oraz sum kontrolnych pamięci ROM;
10..14	testy kontrolera odświeżania pamięci RAM;
15	test pierwszych 64kB pamięci RAM;
16	inicjalizacja tablicy wektorów przerwań systemowych;
17	inicjalizacja karty Video;
18	test pamięci RAM na karcie Video;
19..1A	testy rejestrów maski przerwań;
1B	test zasilania pamięci CMOS;
1C	test sumy kontrolnej pamięci CMOS;
1D	test układu MC146818 (zegar + pamięć CMOS);
1E	test rozmiaru pamięci RAM;
1F	test bufora pamięci (w 8042);
24	test rozmiaru pamięci w trybie chronionym procesora;
25	test pamięci podczas pracy procesora w trybie chronionym;
27..28	test pamięci Cache;
2A	inicjalizacja klawiatury (dokładniej procesora w bloku klawiatury);
2B	inicjalizacja kontrolera dysków FDC;
2C	inicjalizacja portów szeregowych (COM1..2);
2D	inicjalizacja portów równoległych (LPT1..2);
2E	inicjalizacja sterownika twardego dysku HDD;
2F	test koprocesora matematycznego;
FF	rozpoczęcie procedury bootującej;

Wykaz POST-kodów (heksadecymalnie) dla płyty OPTI 596/597 z procesorem Pentium 60MHz (AMI BIOS Pf-3.34).

01	wyłączenie NMI oraz test rejestrów procesora;
05	wyłączenie pamięci "shadow" oraz cache;
06	kontrola sumy kontrolnej pamięci BIOS ROM;
07	wyłączenie kontroli parzystości;
08	inicjacja kontrolera klawiatury (do testu);
09H..0C	testy procesora klawiatury;
0DH..1F	testy pamięci od 0.1MB (cztery wzory);
20H..27	testy pamięci powyżej 1MB;
28	weryfikacja obecności BIOS'ów kart rozszerzających;
2A	inicjalizacja karty video EGA/VGA;
2B	kontrola pamięci karty video;
2C	czyszczenie pamięci ekranu oraz wyświetlenie logo BIOS'u;
2D	przygotowanie systemu do pracy procesora w trybie wirtualnym;
2E	przełączenie procesora w tryb pracy wirtualnej;
30H..39	ponowne testy pamięci (całego obszaru zainstalowanej RAM);
3A	test rejestru bazowego DMA1;
3B	test rejestru bazowego DMA2;
3C	test rejestru strony DMA;
3D	kontrola znacznika hasła dostępu;
3E	start programu SETUP;
3F	wyjście z programu SETUP bez błędów;
40	test kontrolera 8259;
41	detekcja obecności w obszarze pamięci komórek dla bitu parzystości;
42H..46	testy kontrolera FDD;
47H..49	testy kontrolera HDD;
4A	weryfikacja podłączenia stacji FDD;
4B	weryfikacja podłączenia HDD;
4C	kontrola poprawności pracy cache'a kontrolera IDE;
4D	inicjacja portów BS1..4 (detekcja ich ilości i przerywań);
4E	inicjacja portów LPT;
50	włączenie zewnętrznej pamięci cache;
51H..55	test zewnętrznej pamięci cache;
56	czyszczenie ekranu i wyświetlenie komunikatu "Wait";
57	wyświetlenie pojemności kafej dostępnej po testach pamięci RAM oraz wygenerowanie dźwięku sygnalizującego początek bootowania;
59	włączenie kontrolera parzystości;
60	kontrola pracy generatora parzystości pamięci RAM;
62H..67	inicjacja i testowanie timerów systemowych;
80H..90	przygotowanie systemu do bootowania (ładowanie do rejestrów sterujących nastaw SETUP);
A0H..AF	weryfikacja wpisanych do rejestrów danych;
EA	weryfikacja poprawna;
FA	wystąpił błąd parzystości w pamięci RAM. Zatrzymanie systemu;
FE	wystąpił błąd weryfikacji. Zatrzymanie systemu;
FF	start systemu (wyświetlenie pełnej konfiguracji i przekazanie sterowania do boot-loadera INT19).

Kody POST m.in. komputerów IBM, Compaq i Olivetti opublikowano w Elektorze Elektroniku 3/95