

Zastosowanie pamięci M48 w systemie mikroprocesorowym '51

Układ M48TXX są nieco odmiennymi pamięciami niż standardowe pamięci RAM stosowane zazwyczaj w systemach mikroprocesorowych. Wewnątrz nich znajduje się zegarek czasu rzeczywistego podtrzymywany baterią litową.

Poza tym jest to pamięć o bardzo małym poborze prądu, zegarek ma wbudowany kwarc o częstotliwości 2¹⁶ Hz, zaś bateria litowa ma swoje miejsce w górnej części dwukrotnie grubszej obudowy. Według zapewnień producenta (SGS-Thomson) przy temperaturze pracy 70°C bateria starcza do podtrzymania pracy zegarka na ponad 11 lat! Dla urządzeń elektronicznych oznacza to wieczność: handlowa nazwa tej pamięci - TIMEKEEPER - mówi sama za siebie. Pamięć posiada układ zabezpieczający przed zapisem danych, gdy napięcie zasilające jest zbyt niskie. Występują dwie odmiany tej pamięci, o pojemnościach 2kB i 4kB, o organizacji bajtowej. Układy o jednakowej pojemności występują w dwóch odmianach - zasilane napięciem: 4.75...5.5V (typy M48T0X) lub 4.5...5.5V (typy M48T1X).

Podstawowymi aplikacjami dla tych pamięci jest praca w małych systemach mikroprocesorowych, wymagających zegara czasu rzeczywistego. Do tej pory taki zegarek był osobnym układem scalonym (np. opisywany już w EP układ PCF8583 Philipsa), z nieodzowną baterią litową. Dodatkowa, wydzielona konstrukcja zegarka zabierała miejsce na płytce drukowanej, częstokroć bardzo cenne. Współpraca z zegarkiem mogła odby-

wać się poprzez szynę I²C albo w inny sposób, co z kolei zabierało często cenne linie portów procesora, a programista systemu miał dodatkowy kłopot, ponieważ musiał zapewnić specjalne procedury współpracy z zegarem.

Pamięci M48 zdejmują z programisty konieczność opracowania osobnego oprogramowania komunikacyjnego, bowiem wszystkie zliczane jednostki czasu są zawarte w 8 ostatnich komórkach pamięci. Żeby było jeszcze prościej, jednostki te wyrażone są w kodzie BCD. Adresy poszczególnych komórek pamięci i ich znaczenie (dla pamięci 2kB) podajemy w tab.1.

Pamięci M48 należy potraktować jak

standardową pamięć RAM o odpowiedniej pojemności. Układ nóżek ściśle odpowiada układowi nóżek zwykłej, statycznej pamięci RAM.

Przykładowy układ połączenia pamięci M48 z mikroprocesorem 80C32 (rozbudowaną wersją 80C51) pokazano na rys.1. Jak widać, jest to typowa aplikacja wzięta z katalogu. Układ U3 pełni rolę dekodera wyboru układu pamięci, jeśli w systemie istnieją inne kostki pamięci.

Odczyt stanu zegarka

Zegarek jest zbudowany z szeregu liczników zliczających jednostki czasu. Ich stan jest przepisywany do rejestrów, odczytywa-

Rys. 1.

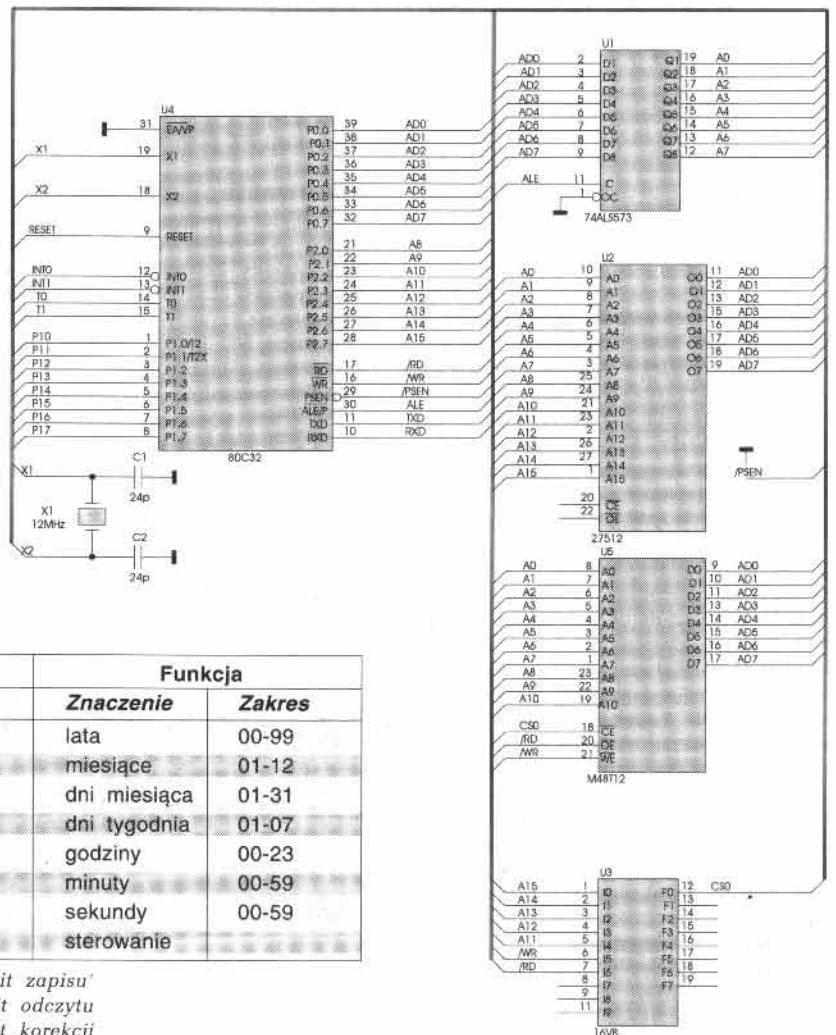


Tabela 1.

Adres HEX	Struktura danej								Funkcja	
	D7	D6	D5	D4	D3	D2	D1	D0	Znaczenie	Zakres
7FF	—	—	—	—	—	—	—	—	lata	00-99
7FE	0	0	0	—	—	—	—	—	miesiące	01-12
7FD	0	0	—	—	—	—	—	—	dni miesiąca	01-31
7FC	0	FT	0	0	0	—	—	—	dni tygodnia	01-07
7FB	KS	0	—	—	—	—	—	—	godziny	00-23
7FA	0	—	—	—	—	—	—	—	minuty	00-59
7F9	ST	—	—	—	—	—	—	—	sekundy	00-59
7F8	W	RS	—	—	—	—	—	—	sterowanie	

FT - bit testu częstotliwości

KS - bit uruchamiający generator zegarka

ST - bit zatrzymania zliczania

W - bit zapisu

R - bit odczytu

S - bit korekcji

```

YEAR EQU 7FFH
; ADRES KOMORKI PAMIETAJACEJ ROK
MONTH EQU 7FEH
; ADRES KOMORKI PAMIETAJACEJ MIESIAC
DATE EQU 7FDH
; ADRES KOMORKI PAMIETAJACEJ DZIEŃ
DAY EQU 7FCH
; ADRES KOMORKI PAMIETAJACEJ DZIEŃ TYGODNIA
HOURS EQU 7FBH
; ADRES KOMORKI PAMIETAJACEJ GODZINE
MINUTES EQU 7FAH
; ADRES KOMORKI PAMIETAJACEJ MINUTY
SECONDS EQU 7F9H
; ADRES KOMORKI PAMIETAJACEJ SEKUNDY
CONTROL EQU 7F8H
; ADRES REJESTRU STERUJACEGO TIMEKEEPER
;
KEEPER_ODCZYT:
MOV DPTR,#CONTROL
MOVX A,@DPTR
SETB ACC.6
CLR ACC.7
MOVX @DPTR,A
MOV RO,#BUF0R
MOV A,#19H
LCALL TETRADY
MOV DPTR,#YEAR
MOVX A,@DPTR
LCALL TETRADY
MOV DPTR,#MONTH
MOVX A,@DPTR
LCALL TETRADY
MOV DPTR,#DATE
MOVX A,@DPTR
LCALL TETRADY
MOV DPTR,#HOURS
MOVX A,@DPTR
LCALL TETRADY
MOV DPTR,#MINUTES
MOVX A,@DPTR
LCALL TETRADY
MOV DPTR,#SECONDS
MOVX A,@DPTR
ANL A,#7FH
LCALL TETRADY
MOV DPTR,#CONTROL
MOVX A,@DPTR
CLR ACC.6
MOVX @DPTR,A
RET
;PODPROGRAM ROZDZIAŁU DWÓCH TETRAD NA 2 BAJTY
; WEJSCIE ACC - DWIE TETRADY
; RO - ADRES BAJTU DLA STARSZEJ TETRADY
TETRADY:
XCH A,@RO
ANL A,#0FH
XCH A,@RO
SWAP A
XCHD A,@RO
INC RO
XCH A,@RO
ANL A,#0FH
XCH A,@RO
SWAP A
XCHD A,@RO
INC RO
RET

```

Listing 1.

nych w taki sam sposób, jak pozostałe komórki pamięci. Może się zdarzyć, że zmiana stanu tych rejestrów nastąpi w momencie ich odczytu przez wewnętrzny dekoder adresu, co zaoocjuje przypadkowym stanem odczytanych bitów. Ustawienie szóstego bitu (R) słowa sterującego służy do zatrzymania aktualizacji rejestrów przez liczniki. Po odczytaniu stosownych komórek pamięci zegarka należy ten bit wyzerować - zawartość komórek nie będzie aktualizowana. Na **list.1** znajduje się procedura, zapisana w assemblerze '51, służąca do odczytu daty i godziny.

Dodatkową własnością tej procedury jest rozbitcie liczb BCD na pojedyncze bajty. Taki zapis może być wykorzystany do sterowania wyświetlaczem 7-segmentowym, po odpowiedniej konwersji cyfry na zestaw zapalonych i zgaszonych segmentów. Taka zawartość bufora, po konwersji na znaki ASCII przez wpisanie liczby 3 do starszej tetrady każdego bajtu, może być wysłana na drukarkę albo znakowy wyświetlacz LCD, tudzież inne urządzenie akceptujące kod ASCII.

Ustawianie zegarka

Bitem zapewniającym zapis nowych wartości jednostek czasu do rejestrów zegarka jest siódmy, najstarszy bit słowa sterującego,

```

; PODPROGRAM STARTU OSCYLATORA TIMEKEEPERA BEZ
USTAWIANIA CZASU I DATY
START_KEEPEER:
MOV DPTR,#CONTROL
MOVX A,@DPTR
SETB ACC.7
MOVX @DPTR,A
MOV DPTR,#SECONDS
MOVX A,@DPTR
CLR ACC.7
MOVX @DPTR,A
MOV DPTR,#HOURS
MOVX A,@DPTR
SETB ACC.7
MOVX @DPTR,A
MOV DPTR,#CONTROL
MOVX A,@DPTR
CLR ACC.7
MOVX @DPTR,A
START_K1:
JNB P1.0,START_K1
START_K2:
JB P1.0,START_K2
START_K3:
JNB P1.0,START_K3
MOV DPTR,#CONTROL
MOVX A,@DPTR
SETB ACC.7
MOVX @DPTR,A
MOV DPTR,#HOURS
MOVX A,@DPTR
CLR ACC.7
MOVX @DPTR,A
MOV DPTR,#CONTROL
MOVX A,@DPTR
SETB ACC.7
CLR ACC.6
CLR ACC.5
MOVX @DPTR,A
MOV DPTR,#CONTROL
MOVX A,@DPTR
CLR ACC.7
MOVX @DPTR,A
RET

```

Listing 2.

oznaczony jako W. Podobnie jak bit R, tak i ten bit zatrzymuje aktualizację rejestrów zegarka przez jego liczniki, gdy W zostanie ustawiony. Zerowanie W spowoduje przepisanie stanu rejestrów do liczników. Stany bitów zawarte w tabeli jako zera oraz stany bitów KS i FT powinny być właśnie zerami.

Sterowanie pracą oscylatora

Oscylator napędzający liczniki zegarka może być w dowolnej chwili zatrzymany lub uruchomiony. Zatrzymanie oscylatora powoduje znaczne obniżenie poboru prądu z baterii. Można to uczynić poprzez ustawienie bitu stopu ST. Procedura startu oscylatora jest bardziej skomplikowana. Na **list. 2** przedstawiono procedurę uruchomienia zegara.

Procedura włączenia oscylatora wymaga odczekania czasu 2 sekund, co zostało zrealizowane poprzez sprawdzanie stanu linii P1.0, na której jest generowana fala prostokątna 0.5Hz w przerwaniu od timera T0. Pozostawienie bitu KS w stanie wysokim powoduje zwiększony pobór prądu z baterii.

Mirosław Lach, AVT