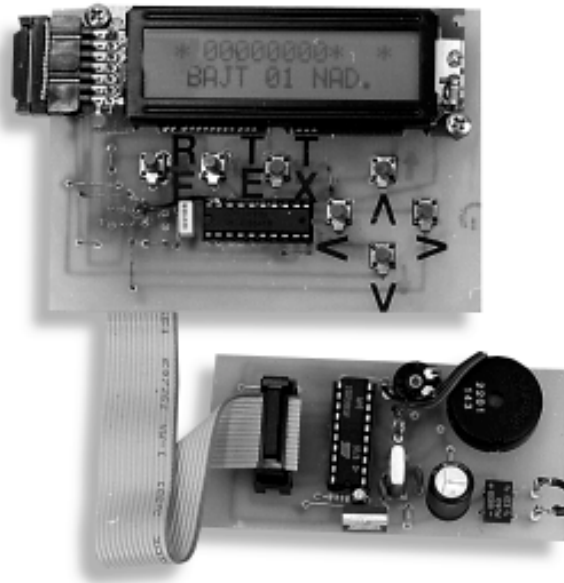


Dział "Projekty Czytelników" zawiera opisy projektów nadesłanych do redakcji EP przez Czytelników. Redakcja nie ponosi odpowiedzialności za poprawność tych projektów, gdyż nie testujemy ich laboratoryjnie. Prosimy o nadsyłanie własnych projektów z modelami (do zwrotu). Do artykułu należy dołączyć podpisane **oświadczenie, że artykuł jest własnym opracowaniem autora i nie był dotychczas nigdzie publikowany**. Honorarium za publikację w tym dziale wynosi 200,- zł (brutto) za 1 stronę w EP. Przesyłanych tekstów nie zwracamy. Redakcja zastrzega sobie prawo do dokonywania skrótów.

Mikroprocesorowy sterownik magistrali I²C



Projektując układy elektroniczne z wykorzystaniem nowoczesnych podzespołów, często napotykamy na poważny problem. Jest nim magistrala sterująca PC. Oferty handlowe czołowych producentów układów scalonych zawierają wiele elementów, które do komunikacji z otoczeniem wykorzystują ten rodzaj interfejsu. Często zaskakują nas wartości parametrów i możliwości funkcjonalne tych „kostek“, przy nieskomplikowanym ich schemacie aplikacyjnym. Wielu z nas zastanawia się, jak długo będą one niedostępne elektronikom nie wtajemniczonym w technikę mikroprocesorową? Otóż niedługo. Prezentowany sterownik zapewnia wszystkie rodzaje transmisji magistralą PC, a także realizuje przydatną w serwisie funkcję wyszukiwania adresów układów.



Opis magistrali

Aby zrozumieć funkcjonowanie interfejsu sterującego I²C należy zapoznać się z właściwą mu terminologią:

- **nadajnik** - urządzenie (układ scalony), które wysyła dane do magistrali;
- **odbiornik** - urządzenie (układ scalony), które odbiera dane z magistrali;
- **urządzenie nadrzędne** - urządzenie (układ scalony, zwykle mikroprocesor), które inicjuje transfer, wytwarza sygnał zegarowy, kończy transfer;
- **urządzenie podrzędne** - urządzenie (układ scalony), które jest adresowane przez urządzenie nadrzędne;
- **nadrzędny odbiornik** - urządzenie nadrzędne, które w danej chwili pełni funkcję odbiornika.

Przesyłanie informacji po magistrali I²C odbywa się szeregowo, synchronicznie

przy pomocy dwóch linii sygnałowych: SDA - dane szeregowo, SCL - zegar, oraz wspólnej masy dla wszystkich urządzeń I²C.

Magistrala jest wolna, tzn. nie występuje przesyłanie danych, gdy na obydwu liniach występuje poziom wysoki. Należy wspomnieć, że logiczne „1“ na liniach uzyskuje się przez zastosowanie rezystorów podciągających, łączących linie SCL i SDA z plusem zasilania, gdyż stopnie wyjściowe urządzeń I²C są typu otwarty kolektor lub otwarty dren.

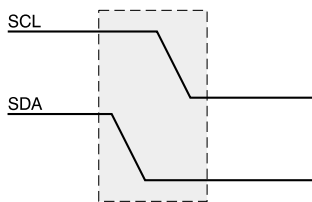
Każda transmisja rozpoczyna się kombinacją sygnałów (rys. 1), określającą warunek startu. Jest ona generowana przez urządzenie nadrzędne, które każdorazowo inicjuje transfer, wytwarza sygnał zegarowy i kończy transmisję.

Podczas poziomego wysokiego szynę zegarowej SCL,

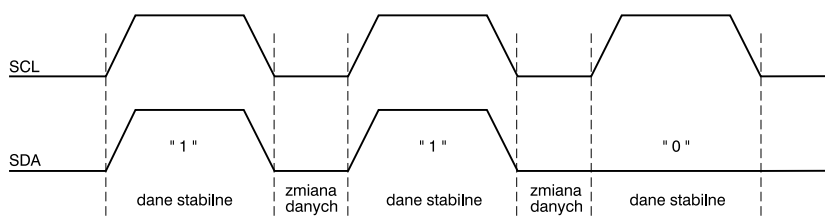
szyna danych SDA przyjmuje poziom niski, następnie szyna zegarowa SCL przyjmuje również poziom niski. Urządzenie nadrzędne wysyła bajt adresowy. Każda „kość“ dołączona do magistrali posiada indywidualny adres, przypisany przez producenta, dzięki któremu jest identyfikowana przez urządzenie nadrzędne. Ma on długość 7 bitów, czyli do 1 magistrali I²C może być teoretycznie podłączonych 127 układów scalonych. Ostatni bit w bajcie adresowym określa kierunek transmisji. Gdy przyjmuje wartość „0“, to dane w następnych bajtach będą kierowane do adresowanego odbiornika, a gdy ma wartość „1“, to urządzenie nadrzędne będzie odbierało dane z podrzędnego odbiornika.

Przykładowo, adres pamięci nieulotnej EEPROM 24C02 wynosi 10100000. Bity na pozycjach b1, b2 i b3 mogą być ustawiane przez odpowiednie konfigurowanie wyprowadzeń układu pamięci, dzięki czemu do wspólnej magistrali można dołączyć aż 8 takich układów. Transmisja danych rozpoczyna się od najbardziej znaczącego bitu. Dla każdego przesyłanego bitu jest generowany 1 impuls zegarowy.

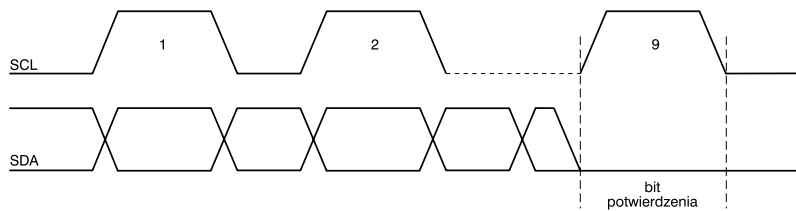
Dane na linii SDA muszą być stabilne w czasie, gdy zegar SCL ma stan wysoki (rys. 2). Każde słowo transmitowane szyną SDA musi mieć 8 bitów, liczba bajtów jest nieograniczona. Po bajcie adresowym, podczas dziewiątego taktu na szynie zegarowej SCL, jest generowany bit potwierdzenia. Prawidłowo zaadresowany odbiornik „ściąga“ w tym takcie zegara wysoki poziom



Rys. 1.



Rys. 2.



Rys. 3.

szyny SDA, ustawiony przez urządzenie nadrzędne (rys. 3) do poziomu niskiego. Adresowany odbiornik jest zobowiązany do wygenerowania potwierdzenia po odebraniu każdego bajtu. Po bajcie adresowym magistralą przesyłane są kolejne bajty danych. Jeżeli najmniej znaczący bit bajtu adresowego miał wartość „1”, to jak zostało już powiedziane, transmisja odbywa się w kierunku do urządzenia nadrzędnego. Przykładowo, może to być odczytywanie zawartości pamięci EEPROM. Każdy kolejny poziom wysoki zegara próbuje szynę SDA, odbiornik kolejno wystawia bity przesyłanego bajtu, poczynając od najbardziej znaczącego. Gdy cały bajt zostanie przesłany, w dziewiątym takcie zegara następuje potwierdzenie. Jest ono generowane tym razem przez urządzenie nadrzędne, które pełni funkcję nadrzędnego odbiornika. Zakończenie transferu podczas nadawania, jak i odbioru, generuje urządzenie nadrzędne. Jest nim sygnał stopu (rys. 4).

misja odbywa się w kierunku do urządzenia nadrzędnego. Przykładowo, może to być odczytywanie zawartości pamięci EEPROM. Każdy kolejny poziom wysoki zegara próbuje szynę SDA, odbiornik kolejno wystawia bity przesyłanego bajtu, poczynając od najbardziej znaczącego. Gdy cały bajt zostanie przesłany, w dziewiątym takcie zegara następuje potwierdzenie. Jest ono generowane tym razem przez urządzenie nadrzędne, które pełni funkcję nadrzędnego odbiornika. Zakończenie transferu podczas nadawania, jak i odbioru, generuje urządzenie nadrzędne. Jest nim sygnał stopu (rys. 4). Urządzenie nadrzędne zwal-

nia szynę SCL (poziom wysoki), przy niskim stanie szyny SDA, a następnie na szynie SDA jest ustawiany także poziom wysoki. Częstotliwość sygnału zegarowego na szynie SCL w typowych aplikacjach nie przekracza 100 kHz, choć są układy szybsze.

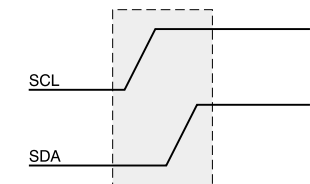
Opis układu

Schemat elektryczny urządzenia przedstawiono na rys. 5. Sercem układu jest mikrosterownik AT89C2051 z wewnętrzną pamięcią programu o pojemności 2kB. Zapewnia on programowy odczyt klawiatury, sterowanie modulem wyświetlacza alfanumerycznego oraz, po dołączeniu do magistrali I²C, pełni rolę urządzenia nadrzędnego. Oprogramowanie sterownika umożliwia generowanie sygnału startu, bitów potwierdzenia, sygnału stopu, w każdym z 16 bajtów,

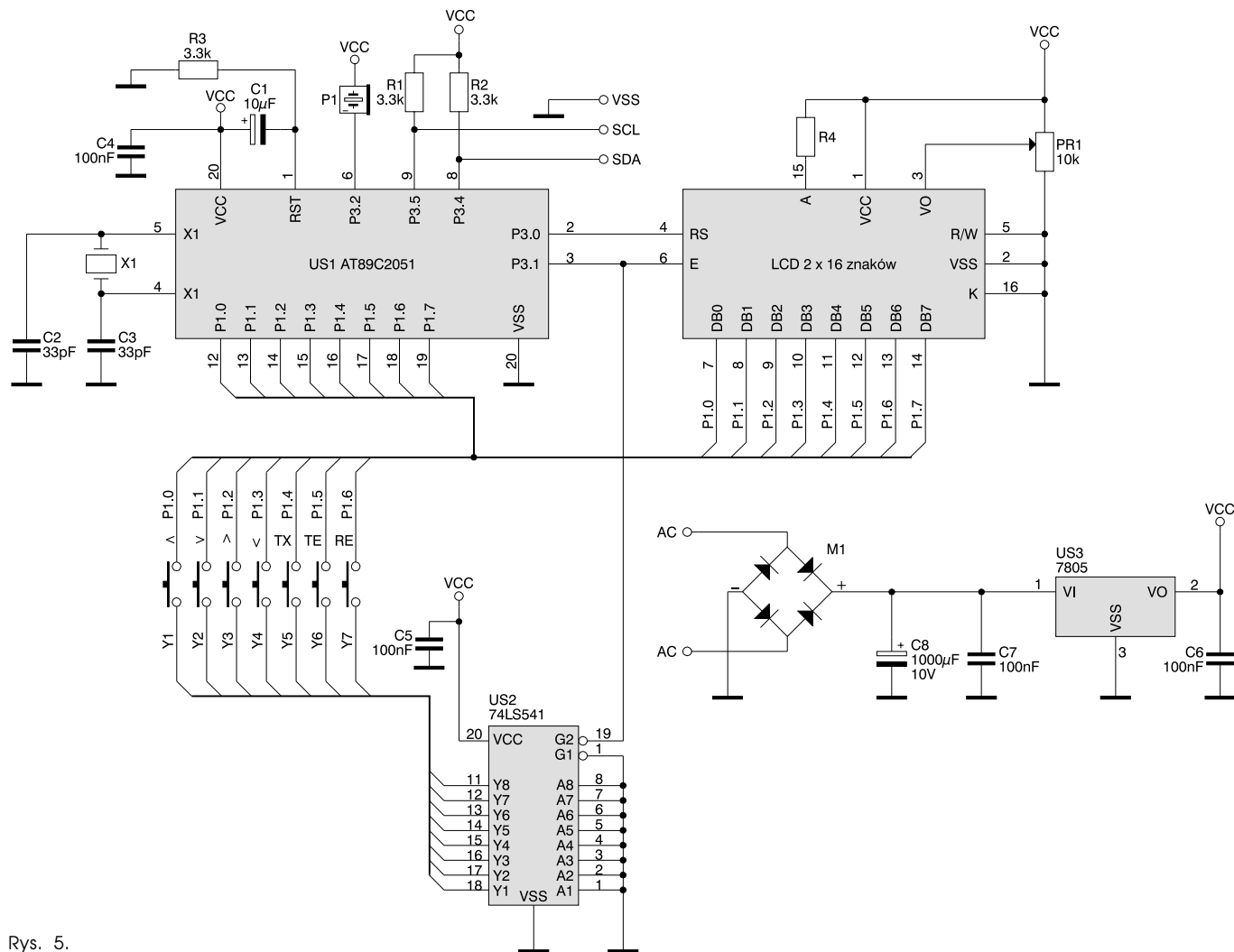
które mogą być konfigurowane jako nadawcze lub odbiorcze. Rezonator kwarcowy 12MHz w układzie zegarowym sterownika zapewnia szybkość transmisji danych magistralą na poziomie 10kb/s, co jest wartością optymalną. Porty P3.5 (szyna SCL) i P3.4 (szyna SDA) zostały dołączone do plusa zasilania przez rezystory podciągające R1 i R2, co powoduje zwiększenie ich obciążalności prądowej w stanie wysokim.

Dołączając opisywany sterownik do magistrali należy zwracać szczególną uwagę na prawidłowość połączenia, gdyż porty SCL i SDA nie są zabezpieczone przed przepięciami. Pojawienie się na tych wyprowadzeniach napięć wyższych niż zasilające spowoduje nieodwracalne uszkodzenie mikroprocesora.

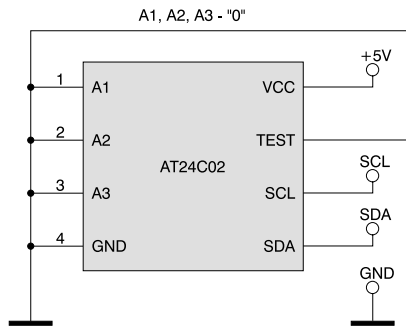
Obwód złożony z elementów R3 i C1 służy do wygenerowania impulsu zerującego podczas załączania



Rys. 4.



Rys. 5.



Rys. 6.

napięcia zasilającego mikroprocesor. Do portu P3.2 został dołączony przetwornik piezoceramiczny. Mikroprocesor potwierdza wykonanie zadanej funkcji przez generowanie krótkich dźwięków. Port P1 jest szyną danych. Mikrosterownik przesyła nią instrukcje i dane do modułu LCD oraz odczytuje stan klawiatury. Drgania mechaniczne klawiatury, które mogłyby spowodować wadliwe działanie sterownika, są eliminowane na drodze programowej. Naciśnięcie klawisza wymusza stan niski na odpowiedniej linii portu P1. Stan ten odczytuje mikroprocesor i realizuje odpowiadającą mu funkcję. Układ scalony 74LS541 pełni rolę bufora klawiatury. Należy pamiętać, że tą samą szyną danych są przesyłane sygnały sterujące do modułu LCD. Naciśnięcie klawisza podczas obsługi LCD mogłoby wywołać przekłamanie w transmisji danych. Aby temu zapobiec zastosowano układ buforujący, który blokuje podawanie poziomu niskiego na styki klawiatury.

Wyprowadzenie G2 (19) układu 74LS541 o aktywnym poziomie niskim jest połączone z wyprowadze-

niem strobuującym E (6) modułu LCD. Wysoki poziom uaktywnia LCD i blokuje klawiaturę, niski natomiast powoduje ustawienie wyprowadzeń LCD w stan wysokiej impedancji i uaktywnia klawiaturę. Nad prawidłowym działaniem tego procesu czuwa mikrosterownik. Wyświetlacz alfanumeryczny wraz z wbudowanym sterownikiem HD44780 zawiera 2 linie po 16 znaków. W przypadku zastosowania wyświetlacza z podświetlaniem LED, należy dobrać rezystor R4 ograniczający prąd tak, aby jego wartość nie przekraczała wartości podanej przez producenta (typowo od 20 do 80mA). Należy też zwracać uwagę na wyprowadzenia zasilania modułu. Można spotkać moduły LCD z zamienionymi biegunami zasilania. Układ zasilający jest typowy. Pobór prądu zależy przede wszystkim od modułu LCD. Jeżeli zastosowano LCD bez podświetlania, to można zasilac układ bateryjnie, gdyż pobiera on tylko 15mA.

Opis funkcji sterownika

Do układu mikroprocesora została dołączona klawiatura 7-przyciskowa. Dzięki modułowi wyświetlacza alfanumerycznego LCD, liczba przycisków została zredukowana do minimum, zapewniając duży komfort obsługi. Klawisze oznaczone poziomymi strzałkami służą do przesuwania kursora w lewo lub prawo. Wybieramy w ten sposób parametry bajtu, które będziemy modyfikowali. Możemy indywidualnie dla każdego bajtu ustawić sygnał startu, bit potwierdzenia, sygnał stopu oraz konfigurować go jako nadawczy lub odbiorczy. Uaktywnienie sygnału startu, stopu i bitu potwierdzenia przeprowadza się przez przeniesienie kursora do 1 linii wyświetlacza i wybranie odpowiedniej pozycji.

Gdy wszystkie te ustawienia są nieak-

tywne, na wyświetlaczu zaobserwujemy 3 symbole (gwiazdki). Pierwsza z nich od lewej strony kryje wyłączony sygnał startu. Gdy ustawimy na jej pozycji kursor i naciśniemy którykolwiek z dwóch klawiszy oznaczonych pionowymi strzałkami, to uaktywnimy sygnał startu, na wyświetlaczu pojawi się w miejscu gwiazdki litera P (war. początkowy). Przez kolejne naciśnięcie klawisza oznaczonego pionową lub poziomą strzałką uzyskamy wyłączenie tego parametru. Druga gwiazdka od lewej strony wyświetlacza, zaświetloną na 8 pozycjach wartością bajtu, to nieaktywny bit potwierdzenia. Aby go uaktywnić, należy wykonać czynności opisane przy sygnale startu. Na wyświetlaczu pojawi się w tym miejscu litera P. Ostatnia gwiazdka to nieaktywny sygnał stopu.

Wszystko, co zostało już powiedziane, odnosi się również do sygnału stopu. Na wyświetlaczu pojawi się litera K (sygnał końca). Aby wpisać wartość bajtu, który ma zostać nadany, należy kursor ustawić na jedną z 8 pozycji (po załączeniu napięcia zasilania zostaje uruchomiona procedura resetu i wszystkie bajty mają wartość zerową) w pierwszej linii. Strzałkami pionową górną lub dolną wybieramy wartości kolejnych bitów w bajcie. Bit najbardziej znaczący znajduje się na pozycji najbardziej wysuniętej w lewo. W dolnej linii wyświetlacza znajduje się numer bajtu, który jest aktualnie modyfikowany oraz parametr decydujący, czy dany bajt zostanie nadany, czy też odebrany.

Aby zmienić numer bajtu należy kursor ustawić w pozycji „bajt“. Klawiszami oznaczonymi pionowymi strzałkami możemy zwiększać i zmniejszać numer bajtu. Zapewnia to swobodne poruszanie się po wszystkich dostępnych 16 bajtach. Ustawiając kursor w pozycji „nad.“ możemy ustalić, czy dany bajt zostanie nadany, czy też odebrany (na wyświetlaczu „odb.“). Czynność tę wykonujemy za pomocą pionowych strzałek. W przypadku wybrania opcji odbiór, wartość bajtu jest nieistotna.

WYKAZ ELEMENTÓW

- Rezystory**
- R1, R2: 3,3kΩ
- R3: 8,2kΩ
- R4: dobierany
- PR1: 10kΩ
- Kondensatory**
- C1: 10μF/16V
- C2, C3: 33pF
- C4, C5, C6, C7: 100nF
- C8: 1000μF/16V
- Półprzewodniki**
- US1: AT89C2051
- US2: 74LS541
- US3: 7805
- M1: mostek prostowniczy o obciążalności 1A
- MODUŁ LCD: PC1602AR-I lub podobny z wbudowanym sterownikiem HD44780 o organizacji 2 linie po 16 znaków
- Różne**
- P1: dowolny przetwornik piezoceramiczny

Przybierze ona nową, odczytaną z magistrali I²C wartość po uruchomieniu procedury transmisji. Przechodzimy teraz do omówienia klawiszy oznaczonych: „TX“, „TEST“, „RAM RESET“. Przycisk „TX“ służy do nadania magistralą ustawionych wcześniej bajtów. Jak zostało już powiedziane, maksymalnie może ich być 16. Należy pamiętać, aby pierwszy bajt przeznaczony do nadania był umieszczony na pierwszej pozycji (pod numerem 1 na LCD), gdyż od niego właśnie rozpocznie się transmisja. Bezdziałająca kontynuowana przez pobieranie kolejno bajtów aż do bajtu 16. Stanie się tak, gdy wszystkie 16 bajtów było wcześniej przygotowanych do nadania lub odbioru. Bajt, który ma wszystkie ustawienia nieaktywne (na LCD 3 symbole gwiazdek) oraz bity na wszystkich pozycjach są zerami i ustawioną opcję „nad.“ nie zostanie nadany. W ten sposób jest wykrywany przypadek, gdy ciąg bajtów do nadania ma długość mniejszą niż 16. W większości zastosowań tak właśnie jest. Więc za ostatnim bajtem przeznaczonym do transmisji musi znajdować się taki właśnie „pusty bajt“. Mikroprocesor wykryje go i przerwie transmisję. Jest oczywiste, że gdyby taki bajt znalazł się pośród całego ich ciągu, przeznaczony do

BAJT			
1.	P	10100000	P NAD. -adres AT24C02
2.		00000000	P NAD. -adres kom. pam.
3.		01011010	P K NAD. -dane do zapisu

Rys. 7.

BAJT			
1.	P	10100000	P NAD. -adres 24C02
2.		00000000	P K NAD. -adres kom. pam.
3.	P	10100001	P NAD. -adres 24C02
4.		01011010	P K ODB. -odczytane dane

Rys. 8.

BAJT			
1.	P	10100000	P NAD. -adres 24C02
2.		00000000	P K NAD. -adres kom. pam.
3.	P	10100001	P NAD. -adres 24C02
RESET STEROWNIKA			
1.		01011010	P ODB. -odczytane dane

Rys. 9.

wysłania, to nadawanie zostanie zakończone właśnie na tym bajcie. Pusty bajt nie może być również umieszczony na pierwszej pozycji (pod numerem 1 na LCD), gdyż taka transmisja nie zostanie przeprowadzona. Gdy transmisja przebiegnie prawidłowo, to na LCD przez krótki czas zostanie wyświetlony napis „TX“. Jeżeli wystąpi błąd (brak potwierdzenia od urządzenia adresowanego), to wygenerowany zostanie napis „BRAK POTW. BAJT NR...“. W miejscu 3 kropek będzie numer bajtu, po którego nadaniu mikroprocesor nie otrzymał potwierdzenia. Na LCD zostanie wyświetlony ten bajt, w którym należy dokonać korekty. Jeżeli wystąpi błąd, przed przeprowadzeniem następnej transmisji można wykonać zerowanie urządzenia I²C przez chwilowe odcięcie jego zasilania. Nie zawsze jest to jednak konieczne.

Pod przyciskiem „TEST“ kryje się funkcja wykrywania adresów urządzeń dołączonych do magistrali I²C. Jak wiadomo, każdy prawidłowo zaadresowany odbiornik ma obowiązek potwierdzić ten fakt urządzeniu nadrzędnemu (mikroprocesorowi). Na tej zasadzie opiera się działanie procedury wykrywania adresów. Dzięki niej można bardzo szybko stwierdzić pod jakim adresem widoczny jest badany układ scalony. Jest to pierwsza czynność jaką należy wykonać podczas uruchamiania aplikacji zawierającej układy I²C.

W ten sposób sprawdzimy poprawność konfiguracji pinów adresowych układu scalonego. W przypadku usterki związanej z szyną I²C, w sprzęcie RTV można wykryć uszkodzony układ. Przed uruchomieniem tej procedury należy upewnić się, czy szyna zegarowa i szyna danych są „wolne“. Adresy układów wraz z całymi procedurami sterowania można odnaleźć w literaturze. Podczas funkcji „TEST“ są nadawane magistralą bajty adresowe, po-

cząwszy od 0 do wszystkich 127 adresów. Jej uruchomienie powoduje wyświetlenie „TEST I²C“. Jeżeli adres układu będzie zgodny z nadawanym, to na LCD zostanie wygenerowany napis „ADRES UKŁADU“ i zostanie podana jego wartość w postaci binarnej i dziesiętnej. Informacja ta będzie tak długo wyświetlana, aż nie zostanie naciśnięty dowolny klawisz. Adres ten zostaje zapisany w przeznaczonym do tego rejestrze i kolejne uaktywnienie omawianej funkcji rozpocznie się od adresu o 1 większego. Ten zabieg umożliwia wykrycie wszystkich układów dołączonych do magistrali. W przypadku, gdy zostanie przeszukany cały obszar 127 adresów i nie wystąpi wykrycie układu (świadczy to o jego uszkodzeniu) na LCD pojawi się napis „BRAK WYKRYCIA“, do rejestru przechowującego wykryte adresy zostanie wpisana wartość „0“.

Ostatnią funkcją do omówienia jest „RAM RESET“. Krótkie naciśnięcie tego klawisza powoduje wyzerowanie aktualnie wybranego bajtu. Wszystkie ustawienia stają się nieaktywne, bajt przyjmuje postać „pustego“, w tej postaci nie zostanie nadany. Dłuższe przyciśnięcie, aż do wygenerowania sygnału akustycznego, spowoduje wywołanie drugiej funkcji. Jest nią zerowanie wszystkich 16 bajtów oraz wpisanie wartości „0“ do rejestru adresowego procedury testu I²C. Na wyświetlaczu na krótko pojawi się napis „RAM RESET“.

Przykłady zastosowania sterownika I²C

Jednym z wielu zastosowań komunikacji magistralą I²C jest odczyt i zapis pamięci nieulotnej EEPROM. Układ AT24C02 (rys. 6) jest pamięcią tego typu o pojemności 256 bajtów.

Zapis według swobodnego adresu polega na przesłaniu 3 bajtów magistralą (rys. 7). Są nimi kolejno: bajt

adresowy (1 0 1 0 A2 A1 A0 0), bajt zawierający adres programowanej komórki pamięci, bajt danych do zapisu. Bity A2, A1, A0 w bajcie adresowym muszą być zgodne z poziomami logicznymi wyprowadzeń układu o tych samych oznaczeniach. Wpis przesłanych danych do matrycy nieulotnej pamięci rozpoczyna się po wystąpieniu sygnału stopu w 3 bajcie.

Proces trwa kilka milisekund. Odczyt według swobodnego adresu (rys. 8) polega na przesłaniu czterech bajtów: bajtu adresowego (1 0 1 0 A2 A1 A0 0), bajtu zawierającego adres komórki pamięci, bajtu adresowego (1 0 1 0 A2 A1 A0 1), bajtu odczytanych danych. Ostatni bajt musi mieć ustawioną opcję „odb.“.

Odczytanie w ten sposób całej zawartości pamięci jest bardzo uciążliwe. Aby uprościć tę operację należy przesłać do pamięci najpierw 3 pierwsze bajty (rys. 9). W bajcie 2 należy ustawić adres komórki, od której rozpoczniemy odczyt. Następnie wykonać zerowanie sterownika i pierwszy bajt ustawić z parametrem „odb.“ oraz aktywnym bitem potwierdzenia. Teraz każde naciśnięcie „TX“ spowoduje odczyt i wyświetlenie kolejnych komórek pamięci. Jest to możliwe dlatego, że bit potwierdzenia automatycznie zwiększa o 1, po każdej transmisji, rejestr zawierający adres odczytywanej komórki pamięci. Operacja ta nosi nazwę autoinkrementacji.

Montaż i uruchomienie

Układ sterownika jest prosty w montażu. Najlepiej zmontować go na 2 płytkach. Pierwsza z nich zawiera układ zasilający, mikrosterownik, przetwornik piezoceramiczny. Na drugiej proponujemy umieszczenie klawiatury, układu buforującego i modułu LCD. Obydwie płytki można połączyć 14 przewodową taśmą z zaciskowymi wtyczkami typu FC14.

Uruchomienie sprowadza się do skontrolowania napię-

cia +5V przed włożeniem mikrosterownika w podstawkę oraz podłączeniem modułu LCD. Moduł wyposażony w podświetlanie LED wymaga dobrania rezystora ograniczającego prąd zgodnie z podanymi już zasadami. Ostatnią czynnością jest regulacja kontrastu wyświetlacza LCD. Dokonujemy jej przez odpowiednie ustawienie ślizgacza potencjometru PR1.

Maciej Zaremski SP2QVX

LITERATURA

1. Elektronika Praktyczna 10/94 - „Złącze I²C w praktyce“
2. Praktyczny Elektronik 8/94, 9/94, 11/94, 12/94 - „Opis magistrali I²C“
3. USKA 6/93 - „Kontroler magistrali I²C“, „Przetwornik A/C, C/A I²C“, „Port I/O 8-bitowy I²C“
4. USKA 10/93 - „Pamięć nieulotna I²C“, „Syntezer częstotliwości radiowych I²C“
5. Elektor Elektronik 1/94 - „EEPROM I²C“, „Wyłącznik mocy I²C“
6. Serwis Elektroniki 2/96, 3/96 - „Pamięci EEPROM I²C“
7. Serwis Elektroniki 1/96, 2/96, 6/96 - „Wykaz układów scalonych sterowanych szyną I²C“