

Niebezpieczna broń

Nowy mikroprocesor firmy STM: SPEAR-07



Firma STMicroelectronics wprowadziła do produkcji mikroprocesory z rdzeniem ARM7, tym razem wykorzystujące jeden z najbardziej wyrafinowanych rdzeni z tej grupy – ARM720T. Nowe układy są atrakcyjną propozycją między innymi dla użytkowników planujących zastosowanie w swoich aplikacjach systemów operacyjnych. Włócznia (spear) – jak pokazuje historia światowych wojen – to niebezpieczna i skuteczna broń. Taką też może się okazać na rynku SPEAR-07.



Na rynku „ARM-ów” daje się zauważyć wyraźny trend, polegający na poszerzaniu przez producentów oferty mikrokontrolerów uniwersalnych, wyposażonych w szeregu standardowych peryferiów (jak np. UART, I²C, SPI, przetworniki A/C, DMA, USB, niektóre także kontroler Ethernet czy CAN). Drugim, dopiero się rysującym „ARM-owym” trendem rynkowym, są mikrokontrolery lub (częściej) mikroprocesory wyposażone w bardziej zaawansowane peryferia. Układy te można zakwalifikować do grona *System-on-Chip*, przy czym na

taką nazwę zasługują one przede wszystkim dzięki integracji w jednej strukturze idei mikrokontrolera (bogate wyposażenie wewnętrzne) i mikroprocesora (sprzętowa orientacja na pracę pod opieką różnego typu systemów operacyjnych). Jednym z takich układów jest SPEAR-07, jego schemat blokowy pokazano na **rys. 1**.

Rdzeń

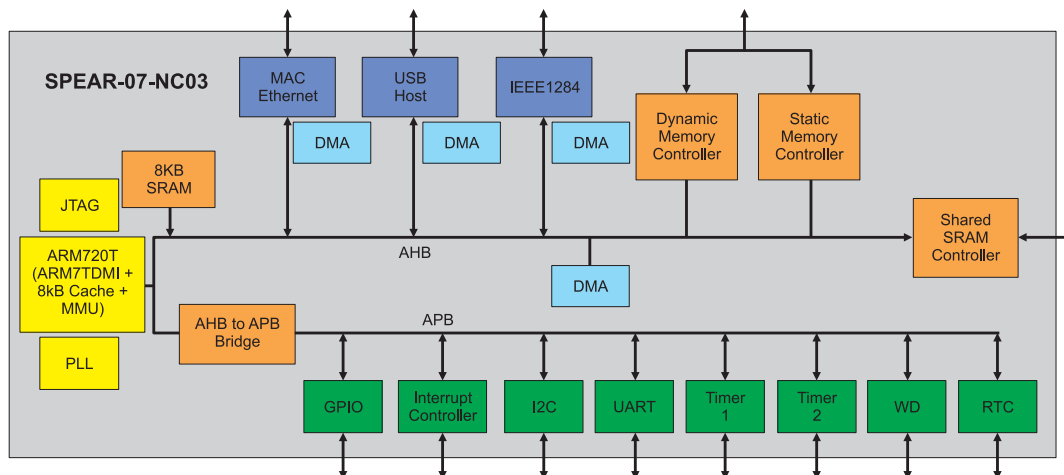
„Sercem” układu SPEAR-07 jest rdzeń ARM720T taktowany sygnałem zegarowym o częstotliwości 48 MHz, zasilany napięciem o wartości 1,8 V.

Rdzeń jest rozbudowaną wersją popularnego ARM7TDMI. W ramach rozbudowy dodano do niego moduł zarządzania pamięcią (MMU) dokonującego konwersji adresów logicznych na fizyczne i fizycznych na logiczne oraz 8 kB (organizacja: 512 słów 16-bitowych) pamięci podręcznej dla danych i programu (*cache*).

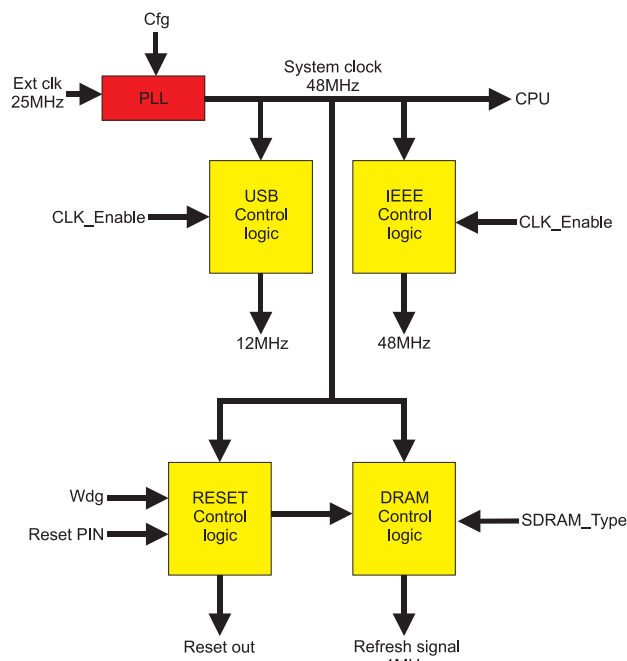
Rdzeń wraz z MMU i *cache* jest połączony za pomocą wewnętrznej szybkiej magistrali AHB (*Advanced High-performance Bus*) do szybkich układów peryferyjnych, takich jak interfejsy pamięci zewnętrznych, wewnętrzne zasoby pamięciowe, kontroler Ethernet, host USB czy kontroler interfejsu równoległego. Podłączenie pozostałych układów peryferyjnych do magistrali APB (*Advanced Peripheral Bus*) jest realizowane za pośrednictwem sprzętowego mostu (AHB to APB Bridge).

Zasilanie, zerowanie i taktowanie

Procesor SPEAR wymaga zastosowania dwóch napięć zasilania:



Rys. 1. Schemat blokowy układu SPEAR-07-NC03 (SPEAR-NET)



Rys. 2. Budowa systemu wytwarzania i dystrybucji sygnałów zegarowych (poza RTC)

jących: 1,8 V do zasilania rdzenia i RTC; 3,3 V dla peryferiów i linii I/O. Poprawne taktowanie procesora wymaga zastosowania dwóch rezonatorów kwarcowych, jednego o częstotliwości 25 MHz (do taktowania rdzenia i większości bloków funkcjonalnych) oraz 32 kHz do taktowania układu RTC.

Sygnał o częstotliwości 25 MHz jest wykorzystywany przez interfejs Ethernet i jest podawany na wejście powielacza częstotliwości PLL, który generuje sygnał systemowy 48 MHz do taktowania rdzenia, pamięci oraz części bloków funkcjonalnych (rys. 2). Z tego sygnału, za pomocą układów dzielników jest wytwarzany sygnał zegarowy o częstotliwości 12 MHz dla

Nie dla każdego z nas

Jedną z idei twórców rodziny SPEAR-07 była możliwość łatwego i taniego (obydwie rzeczy odnoszone względnie) dostosowania budowy (wewnętrznego wyposażenia) układów do wymagań użytkowników. Elementem występującym we wszystkich układach SPEAR jest rdzeń ARM720T, natomiast jego otoczenie użytkownicy (oczywiście, zamawiający odpowiednie ilości tych układów) mogą dostosowywać do własnych potrzeb. Minimalizację kosztów produkcji (*de facto*) ASIC-ów zapewnia technologia opracowana przez firmę eASIC (www.easic.com), którą zaadaptowała do swoich potrzeb firma STMicroelectronics.

modułu hosta USB, sygnał zegarowy o częstotliwości 1 MHz niezbędny do odświeżania pamięci DRAM, a także sygnał o częstotliwości 48 MHz dla modułu interfejsu równoległego. Dodatkową rolę wymienionych dzielników jest możliwość odłączenia danego modułu peryferyjnego od sygnału zegarowego, co powoduje zmniejszenie poboru mocy.

Podobnie do innych układów wyposażonych w rdzeń ARM720T, także SPEAR wyposażono w możliwość programowego i sprzętowego zerowania. Programowe zerowanie zapewnia instrukcja SWI (*software interrupt*), natomiast sprzętowe można wymusić za pomocą wejścia RESET oraz timera-watchdoga. Układy SPEAR wyposażono w wyjście sygnału zerującego, który jest synchronizowany z wewnętrznym sygnałem sterującym, co umożliwia centralne sterowanie układami peryferyjnymi.

Sprzętowe interfejsy pamięci

Brak wewnętrznej pamięci programu został zrekomensowany obecnością konfigurowalnych interfejsów pamięci zewnętrznych:

- *interfejs pamięci statycznej*, który umożliwia podłączenie do 2 niezależnych banków/modułów pamięci ROM/SRAM o szerokości magistrali danych 8, 16 lub 32 bitów i rozmiarze do 16 M każdy.
- *interfejs pamięci dynamicznej*, który umożliwia podłączenie do 4 niezależnych banków/modułów pamięci SDRAM lub EDO o szerokości szyny danych 8 lub 16 bitów i rozmiarze do 32M każdy.

Obydwa interfejsy podłączono do układu arbitra (rys. 3), który zarządza dostępem do wyprowadzeń wspólnych magistral danych i adresów. W układach SPEAR zaimplementowano mechanizm udostępniania wewnętrznej pamięci SRAM (ca-

Dokumentacja i dodatkowe informacje o układach SPEAR są dostępne na stronie www.st.com/spear, publikujemy je także na CD-EP9/2006B.

che) zewnętrznym kontrolerem za pośrednictwem magistrali asynchronicznej (13-bitowa magistrala adresowa, 16-bitowa magistrala danych). Dostęp do tej pamięci jest przydzielany przez układ arbitra pracującego w trybie *round-robin* na przemian wewnętrznej magistrali AHB oraz zewnętrznemu procesorowi.

System przerwań

Rdzeń ARM720T jest wyposażony w dwa wejścia przerwań, po jednym dla przerwań szybkich (FIQ) i standardowych (IRQ). Żeby zwiększyć elastyczność obsługi przerwań procesor wyposażono w kontroler przerwań, dający możliwość obsługi 11 źródeł przerwań, w tym dwóch z linii zewnętrznych oraz 9 przerwań wewnętrznych związanych z wewnętrznymi peryferiami (Ethernet, USB, interfejs równoległy, I²C, UART, RTC, Timer1, Timer2, DMA).

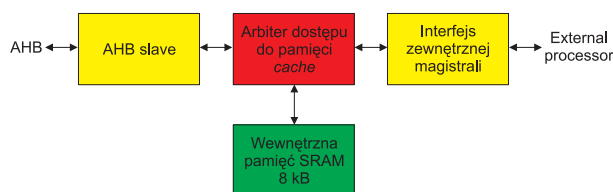
Każde ze źródeł przerwań może być niezależnie zaprogramowane jako standardowe lub szybkie. Dla każdego z przerwań zewnętrznych można określić aktywne zbrocze/poziom wywołania. Dodatkowo możliwe jest niezależne włączenie/wyłączenie obsługi przerwań obu typów.

Interfejsy i peryferia podstawowe

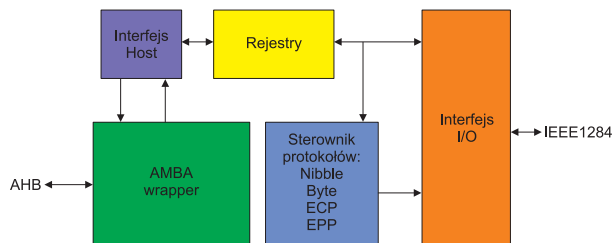
Stosunkowo nietypowym układem peryferyjnym jest interfejs równoległy zgodny z normą IEEE1284. Pełni on rolę wielofunkcyjnego interfejsu równoległego, który może być wykorzy-

ARM7TDMI vs ARM720T

Rdzeń ARM720T (zastosowany w układach SPEAR) jest zmodyfikowaną wersją popularnego ARM7TDMI (stosowanego m.in. w mikrokontrolerach z rodziny STR71x/73x). Najistotniejsze rozszerzenia to wbudowanie w układ jednostki zarządzania pamięcią MMU oraz 8 kB pamięci cache.



Rys. 3. Dostępem do wewnętrznej pamięci cache zarządza specjalny kontroler



Rys. 4. Schemat blokowy interfejsu równoległego IEEE1284 wbudowanego w układy SPEAR

stany do transmisji danych pomiędzy urządzeniem typu *host* (np. komputer PC) i urządzeniem peryferyjnym jak np. drukarka. Pierwotnie został on zaprojektowany do połączenia magistrali ISA z jednej i interfejsu drukarkowego z drugiej strony. Interfejs ten wykorzystuje 9 linii sterująco-kontrolnych i 8 dwukierunkowych linii danych. Może on pracować w jednym z 5 trybów zgodnie ze specyfikacją portu równoległego IEEE1284. Są to:

- *compatibility mode* - 8-bitowa transmisja asynchroniczna od urządzenia nadrzędnego do podrzędnego ze sterowaniem zgodnym z interfejsem Centronics;
- *nibble mode* - 4-bitowa transmisja

od urządzenia podrzędnego do nadrzędnego, sterowana przez to drugie. Dane są transmitowane w paczkach 4-bitowych z wykorzystaniem linii statusowych;

- *PS2/byte mode* - 8-bitowa transmisja od urządzenia podrzędnego do nadrzędnego z wykorzystaniem 8 linii danych i linii kontrolno-statusowych do sterowania transmisją;

- *EPP mode* - 8-bitowa transmisja dwukierunkowa sterowana przez urządzenie nadrzędne. W trybie tym w trakcie transmisji wydzielone są oddzielne bajty danych i adresowe;

- *ECP mode* - rozszerzenie trybu *compatibility*, zapewniające 8-bitową transmisję dwukierunkową. Linie sterujące wykorzystywane są do określenia rodzaju transmitowanych danych (dane lub sterowanie). W trybie tym dostępna jest 16 B kolejka FIFO.

Szybkość transmisji danych za pomocą interfejsu równoległego nie przekracza 2 Mb/s. Na rys. 4 pokazano jego schemat blokowy.

Wbudowany w SPEAR'a interfejs szeregowy (UART) obsługuje transmisję 8-bitową z 1 lub 2 bitami stopu, kontrolą parzystości i szybkością transmisji do 115 kb/s. Płynność transmisji poprawiają dwie 16-bajtowe kolejki FIFO, oddzielnie dla kanału odbiorczego i nadawczego oraz sprzętowa obsługa błędów transmisji (błąd parzystości, zbyt duża szybkość transmisji, błąd ramki).

Poza popularnym UART-em, na pokładzie SPEARE'a producent zaimplementował interfejs I²C. Może on pracować w 7-bitowym trybie adresowania jako *Master* lub *Slave*. Maksymalna częstotliwość taktowania linii SCL wynosi 400 kHz. Interfejs ten wyposażono w sprzętowe mechanizmy kontroli transmisji, takie jak m.in. detekcja bitu *Start*, flaga zakończenia transmisji bajtu, flaga zajętości magistrali, flaga utraty arbitrażu itp.

SPEAR wyposażono ponadto w 6 uniwersalnych linii wejścia/wyjścia. Część z nich jest współdzielona z wbudowanymi peryferiami (UART, I²C), każdą z nich można skonfigurować jako wejście lub wyjście.

W prezentowanym układzie nie zabrakło także timerów. Do dys-

Dla „ARM-owców”

Czytelników zainteresowanych mikrokontrolerami i mikroprocesorami z rdzeniami ARM zachęcamy do zakupu pierwszego zeszytu *Elektroniki Praktycznej Plus*, który w całości poświęciliśmy tym układom. EP+ zawiera 3 płyty CD-ROM, na których znajdują się noty katalogowe, aplikacyjne, erraty oraz bezpłatne oprogramowanie narzędziowe dla konstruktorów korzystających z układów z rdzeniami ARM.



2006 NOWOŚĆ Generator funkcyjny MCP SG 1639B



generator funkcyjny
0,06Hz÷6MHz,
częstościomierz
1Hz÷15MHz

Oscyloskop MCP CQ 5620



oscyloskop
2-kanalowy
20MHz

Zestawy cyfrowe do lutowania bezołowiowego XYTRONIC

w ofercie również groty do lutowania bezołowiowego



210ESD lutownica
32V/90W 200÷450°C
podstawa zg z RoHS
opcjonalnie lutownica
pincetowa TWZ100



210ESD lutownica
32V/90W 200÷450°C
DIA60 rozlutownica
HOT AIR 24V/60W
300÷450°C
dwie podstawki zg
z RoHS



opcjonalnie:
- lutownica pincetowa TWZ100
- rączka nadmuchu do SMD HAP60



PAKIE
PROMOCYJNY

BIALL Sp. z o.o.

Otomin, ul. Słoneczna 43, 80-174 GDAŃSK
tel. (0 58) 322 11 91, 92; fax (0 58) 322 11 93
e-mail: biall@biall.com.pl

Regionalne Biura Handlowe:

WARSZAWA, ul. Kłobucka 8
kom. 505 107 957
e-mail: warszawa@biall.com.pl

JAWORZNO, ul. Nowowiejska 15
kom. 509 755 010
e-mail: jaworzno@biall.com.pl



* Wszystkie ceny
netto, należy
doliczyć 22% VAT

PN-EN ISO 9001:2001

DMA na potęgę

Układ SPEAR wyposażono w wiele kanałów DMA służących do uproszczenia i przyspieszenia wymiany danych pomiędzy wewnętrznymi blokami sprzętowymi a pamięcią lub CPU. Dostęp do własnych kanałów DMA mają interfejsy: Ethernet, USB, IEEE1284, ponadto są dostępne dwa kanały ogólnego przeznaczenia (transmisje pomiędzy obszarami pamięci) oraz dwa kanały związane z otoczeniem kontrolera (transmisje pomiędzy pamięcią, a przestrzenią IO).

W ramach każdego z kanałów możliwe są transmisje 8-, 16- lub 32-bitowe w trybie *burst*.

pozycji programisty pozostają dwa timery/liczniki 16-bitowe. Każdy z timerów wyposażono w 8-bitowy prescaler umożliwiający podział częstotliwości sygnału taktującego 48 MHz przez 2^N ($N=0...255$), dwa wejścia *Input Capture* oraz możliwość generacji przerwań.

Ciężko sobie wyobrazić współczesny mikroprocesor bez wbudowanego modułu zegara czasu rzeczywistego (RTC). W SPEAR'ze zaimplementowano uproszczony moduł RTC z funkcją rejestracji czasu (oddzielne rejestry dla sekund, minut i godzin) oraz daty (dni, miesiące, lata). Jest on taktowany oddzielnym oscylatorem kwarcowym o częstotliwości 32 kHz i może być zasilany niezależnie od pozostałych elementów układu. Moduł ten wyposażono w funkcję generacji alarmu z możliwością zgłaszania przerwania.

Dokładniejsze informacje o rdzeniu ARM720T można znaleźć na stronie firmy ARM www.arm.com oraz w specjalnym wydaniu Elektroniki Praktycznej Plus (http://www.ep.com.pl/?ep_plus.htm).

Interfejsy zaawansowane

W procesorze SPEAR zaimplementowano moduł ethernetowego MAC-a, przystosowanego do pracy z szybkościami 10 oraz 100 Mb/s. Wymaga on współpracy z zewnętrznym układem obsługi warstwy fizycznej (np. układ STE101P) poprzez interfejs MIL. Moduł ten został wzbogacony w dedykowany kanał DMA usprawniający transmisje pomiędzy siecią a pamięcią.

Kolejnym interfejsem wyróżniającym SPEAR'a jest *host USB* dla wersji interfejsu 1.1 *full speed*, zgodny ze standardem OpenHCI w wersji 1.0. Umożliwia on współpracę w urządzeniach USB *low speed* i *full speed*. Podobnie jak w przypadku interfejsu ethernetowego, także moduł USB został wzbogacony w dedykowany kanał DMA usprawniający transmisję danych.

Narzędzia

Tak jak w przypadku mikrokontrolerów STR7, STR9 tak i tym razem konstruktorzy nie są pozostawieni samemu sobie. Dla SPEAR'a przygotowano zestaw ewaluacyjny, na którym wykorzystano wszystkie omówione powyżej możliwości procesora.

Na płycie wyprowadzono wszystkie interfejsy, podłączone moduły pamięci zewnętrznych. W skład zestawu wchodzi oprogramowanie demonstracyjne w wersji źródłowej oraz nieodpłatne biblioteki napisane w języku C.

Od strony programowej układ wspierany jest m.in. przez kompilator firmy IAR, wkrótce będzie także dostępny kompilator firmy Hitex.

Informacje dotyczące seminarium

znajdują się pod adresem:
http://seminarium_st_future.ep.com.pl

Większe SPEAR'y

Prezentowany w artykule SPEAR-07 to dopiero początek nowej linii układów. Firma STMicroelectronics oferuje już kolejny układ z tej serii – SPEAR-09 z rdzeniem ARM926E-J.

Dla procesora SPEAR został przygotowany przez firmę Smart Network Devices system operacyjny 4NetOS. Więcej informacji na jego temat można znaleźć na stronie www.smartnd.com.

Podsumowanie

Układy SPEAR są bardzo interesującą propozycją dla twórców systemów wymagających implementacji systemów operacyjnych. Pewnym utrudnieniem w ich szybkiej popularyzacji mogą być obudowy w jakich układy są dostarczane – LBGA ze 180 wyprowadzeniami (odstęp pomiędzy kulkami wynosi 0,8 mm). Większe SPEAR'y mogą zniechęcać i to nie tylko początkujących. Takie są niestety (dla nas) światowe trendy, może więc w niedługim czasie znajdzie się tani sposób na pokonanie trudności, zwłaszcza związanych z wykonaniem wielowarstwowych płytek drukowanych.

Warto zwrócić uwagę na fakt, że układy SPEAR są standardowo przystosowane do pracy w zakresie temperatur $-40...+105^{\circ}\text{C}$, co zapewnia im możliwość pracy także w bardzo wymagających aplikacjach.

Artur Iwanicki
STMicroelectronics

Artykuł opracowano na podstawie materiałów STMicroelectronics

Dodatkowe informacje

STMicroelectronics S.A Oddział w Polsce
tel: 022 529 05 29, fax: 022 529 05 20
email: stm.warsaw@st.com www.st.com

ACS ELEKTRONIK

SZYDŁOWIEC 26-500 ul. Kolejowa 11
e-mail: acs@acs.ats.pl tel./fax. 048 617-60-00

WWW.ACS-ATS.PL

PROFESJONALNE URZĄDZENIA LABORATORYJNE

OSCYSKOPY CYFROWE ADS220

- pasmo 60MHz
- sampling $2 \times 200\text{MSPS}$
- rozdzielczość 8bit
- 2 kanały + EXT
- zakres 5mV - 5V
- analiza FFT, pomiary: freq, okres, pk-pk, RMS, średnia...
- interpolacja $\sin(x)/x$, kalibracja 24bit
- z notebookiem mobilne stanowisko pomiarowe

PROGRAMATORY PAMIĘCI ACS VI-LAB ERICA PS32

- wirtualne laboratorium - 3 funkcje: programator, emulator RT, tester
- podstawka ZIF 48Pin 0,3"-0,6"
- emulacja pamięci w czasie rzeczywistym 27xxx, 62xxx, 24cxx, 93cxx, 25/95xxx
- możliwość dopisywania własnych układów

PROGRAMATORY PAMIĘCI XELTEK SP3000U

- obsługa ponad 20,000 układów
- możliwość pracy bez komputera
- wbudowany LCD, klawiatura, pamięć CF-256MB
- kommunikacja port USB
- podstawka ZIF 48Pin 0,3"-0,6"
- praca z układami 100pin
- adaptery 1:1
- tester TTL, CMOS, PLD, SRAM, DRAM, MCU