

Przetwornik cyfrowo-analogowy, część 1

PROJEKT
Z OKŁADKI

Przetworniki cyfrowo-analogowe są chętnie budowane przez entuzjastów urzędzeń cyfrowej techniki audio. Jest to element składowy toru audio, który może znacząco poprawić jakość odtwarzania z najpopularniejszego obecnie źródła dźwięku, jakim jest odtwarzacz płyt CD. Stosunkowo łatwo można kupić przetworniki i odbiorniki S/PDIF dobrej jakości nie wydając przy okazji dorobku wielu pokoleń na zakup 10000 sztuk tych elementów, jak to często bywa w przypadku innych atrakcyjnych elementów elektronicznych.

Rekomendacje:

do wykonania przetwornika zachęcany doświadczonych audiofilów, którzy lubią ciągle ulepszać swój sprzęt w poszukiwaniu coraz to lepszych brzmień.



O popularności wykonywanych własnoręcznie przetworników cyfrowo-analogowych świadczy wiele wpisów na forach dyskusyjnych poświęconych elektronice i technice audio. Mimo pozornej prostoty prawidłowe zaprojektowanie i wykonanie dobrego przetwornika nie jest zadaniem łatwym i wymaga pewnego doświadczenia. Trzeba pamiętać, że podawane w danych katalogowych parametry odnoszą się do prawie idealnych warunków pomiarowych. Zastosowanie najlepszego nawet scalonego przetwornika nie przyniesie zadowalających efektów, jeżeli nie zostanie on prawidłowo zaaplikowany. O tym, jak trudna to sztuka świadczy fakt, że ten sam element zastosowany w konstrukcjach znanych audiofilskich firm brzmi rewelacyjnie, a stosowany u mniej liczących się producentów brzmi przeciętnie. Czasami przetworniki konstruowane przez zaawansowanych amatorów potrafią zadziwić profesjonalistów, szczególnie wtedy, kiedy do zadania podchodzi się z pasją popieraną ciągle uzupełnianą wiedzą.

W opisywanym w tym artykule przetworniku został zastosowany scalony przetwornik PCM1796 produkowany przez znaną firmę Burr-Brown. Wybór układu nie był przypadkowy. Szukałem przetwornika o bardzo dobrych parametrach, który jednocześnie mógłby pracować

w trybie *monaural* i miał możliwość sterowania poziomem analogowego sygnału wyjściowego. Najlepsze obecnie produkowane przetworniki mają symetryczne (zbalansowane) wyjście prądowe. W ich aplikacjach trzeba stosować zewnętrzny, zbudowany w oparciu o wzmacniacz operacyjny, konwerter prąd/napięcie. Takie rozwiązanie zastosowane również w PCM1796. Układ aplikacyjny jest bardziej rozbudowany, ale pozwala na uzyskanie lepszych parametrów całego toru. Schemat modułu przetwornika został pokazany na **rys. 1**.

Opis układu

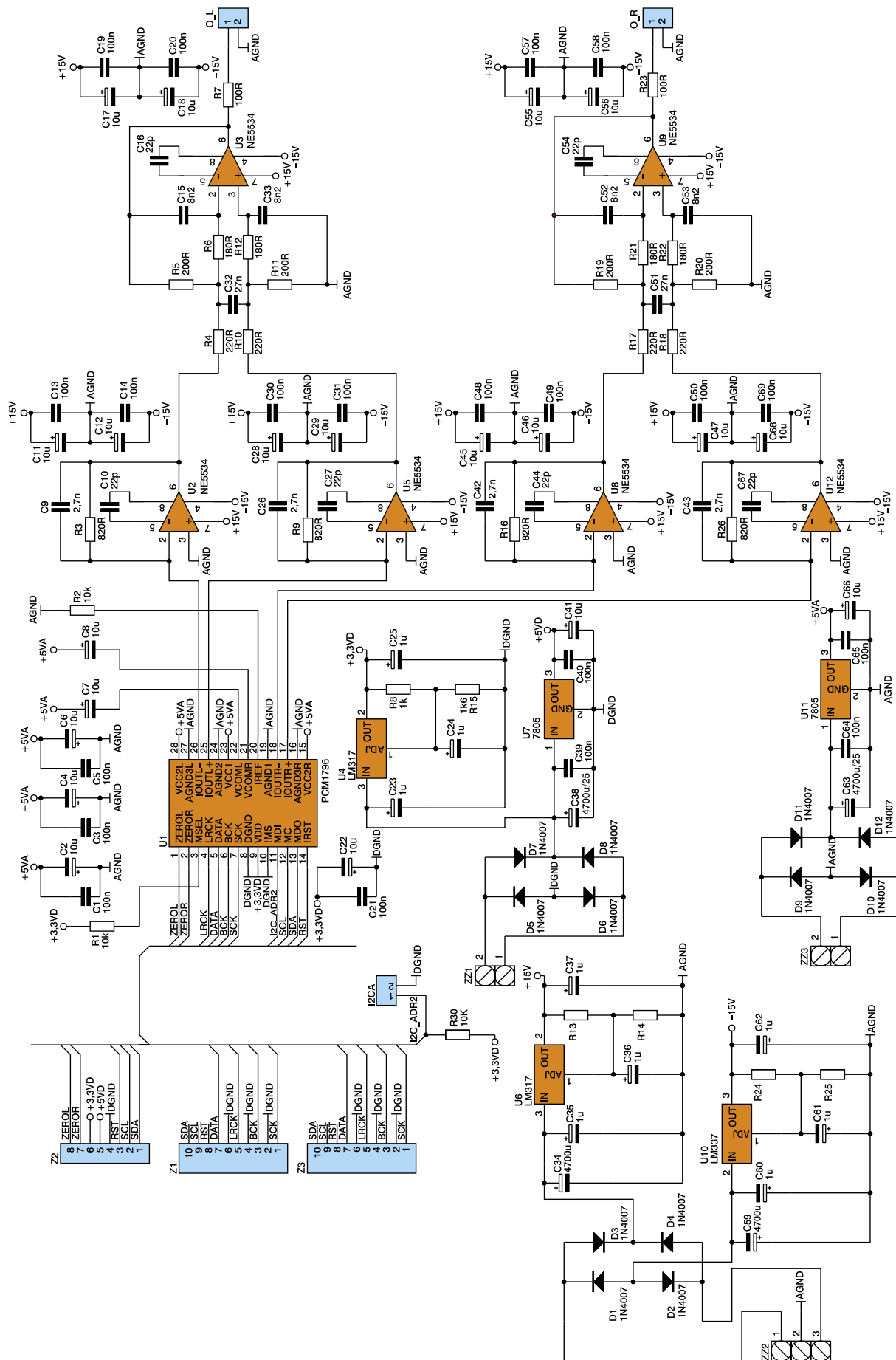
Przetwornik. Przetwornik, którego schemat blokowy został pokazany na **rys. 2** pracuje w zalecanej przez producenta konfiguracji. Wejściowe dane audio poddawane konwersji mogą mieć format PCM lub DSD. My będziemy się zajmować tylko formatem PCM, ponieważ w takim formacie są przesyłane dane płyty kompaktowej.

Wejściowy port danych audio PCM składa się z linii:

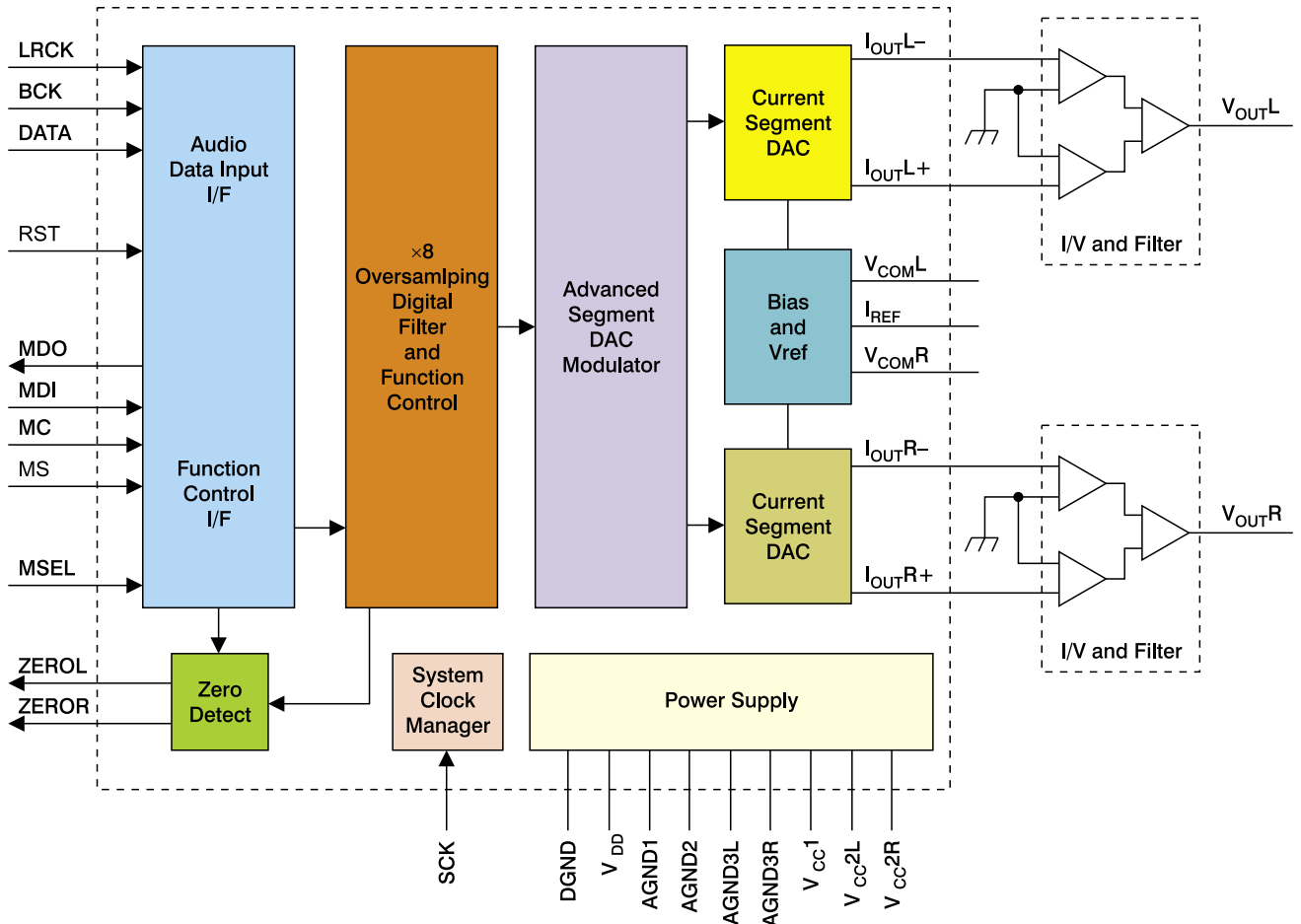
- DATA - szeregowo dane audio. Maksymalna długość słowa danych wynosi 24 bity,
- BCK - linia sygnału zegarowego taktującego przesyłaniem danych; w trybie stereo częstotliwość tego zegara wynosi $64 f_s$ (f_s - częstotliwość próbkowania),

PODSTAWOWE PARAMETRY

- Płytko o wymiarach 147x89 mm
- Zasilanie: 8 VAC
- Typy wejść odbiornika SPDIF: koaksjalne i optyczne
- Maksymalna częstotliwość próbkowania: 96 kHz
- Typ przetwornika C/A: PCM1796 z symetrycznym wyjściem prądowym i konwerterem prąd/napięcie wykonanym z użyciem wzmacniacza operacyjnego
- Tryby pracy: stereo (jeden przetwornik konwertuje 2 kanały stereo, sygnał wyjściowy asymetryczny), monaural (jeden przetwornik konwertuje jeden kanał mono, sygnał wyjściowy symetryczny (zbalansowany))
- Regulacja: poziomu sygnału wyjściowego, balansu kanałów i charakterystyki filtra cyfrowego (sharp/slow)
- Sterowanie funkcjami urządzenia za pomocą pilota RC5



Rys. 1. Schemat modułu przetwornika PCM1796



Rys. 2. Schemat blokowy przetwornika

– LRCK – linia sygnału identyfikacji kanałów; częstotliwość tego przebiegu jest równa f_s i może maksymalnie wynosić 200 kHz.

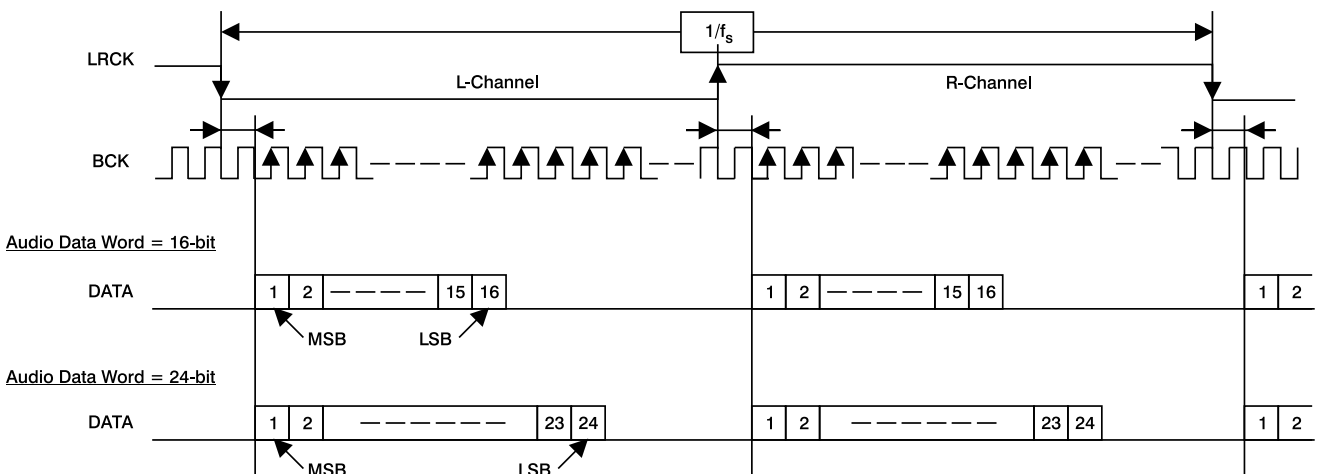
Oprócz linii interfejsu portu PCM wymagany jest sygnał zegara systemowego SCK o częstotliwości 128, 192, 256, 384, 512 lub 768 f_s . Nie jest wymagana faza zależność pomiędzy SCK i LRCK, ale sygnały te muszą być zsynchronizowane częstotliwościowo.

Dane wejściowe PCM mogą mieć format Standard Data Format (Right Justified), Left Justified data Format i I2S data Format. Po włączeniu zasilania domyślnie jest ustawiany format I2S (rys. 3).

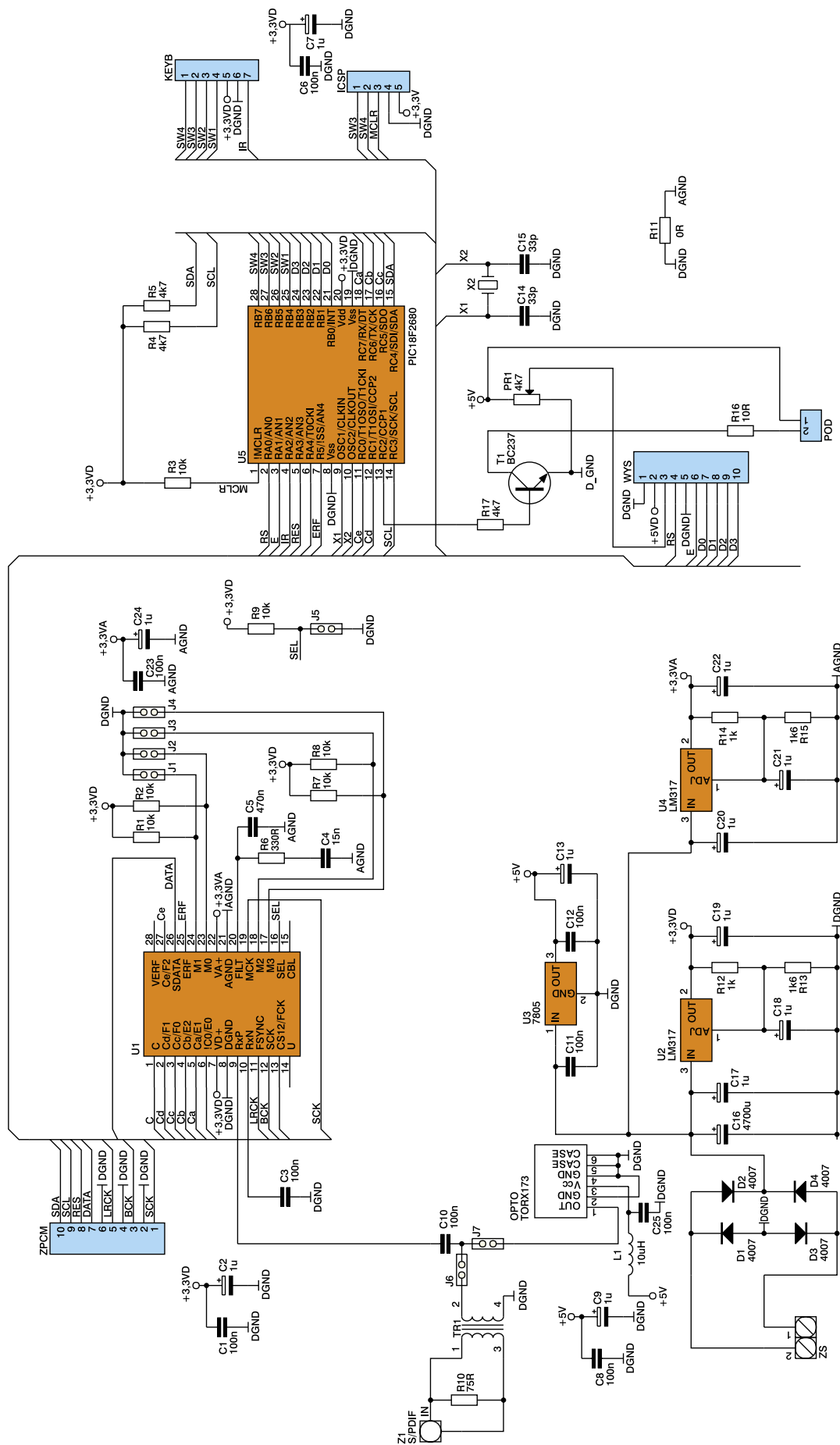
Wprowadzenia linii interfejsu PCM przetwornika PCM1796 są połączone na płycie drukowanej z pinami złącz IDC10 Z1 i Z3, przez które łączy się moduł przetwornika ze źródłem sygnału (odbiornikiem S/PDIF).

Do sterowania pracą przetwornika wykorzystuje się szeregową magistralę I²C lub SPI. Rodzaj magistrali jest wybierany stanem na wejściu MSEL. W układzie z rys. 1 została wybrana magistrala I²C przez wymuszenie na MSEL stanu wysokiego.

Wprowadzenie MDO jest linią SDA, a wyprowadzenie MC linią SCL. Obie linie są połączone z pinami złącz Z1 i Z3. Stan wy-



Rys. 3. Format I2S



Rys. 4. Schemat modułu odbiornika S/PDIF i mikrokontrolera

przewodzeń MDI i MS jest przepisywany do najmłodszych bitów adresu SLAVE interfejsu I²C. MS został połączony na stałe do masy, a MDI do zwórki oznaczonej jako I2C_ADDR. Zwarcie zwórki wymusza na MDI stan niski, a rozwarcie stan wysoki. Można w ten sposób zdefiniować 2 adresy slave i do jednej magistrali dołączyć 2 układy PCM1796.

Układy logiczne przetwornika są zasilane napięciem +3,3 V względem cyfrowej masy DGND. Każda z analogowych sekcji prądowych jest zasilana napięciem +5 V względem analogowej masy AGND przez osobne wyprowadzenia:

- sekcja prądowa kanału lewego VCC2L (+5 V) i AGND3L (masa)
- sekcja prądowa kanału prawego VCC2R (+5 V) i AGND3R (masa).

Osobno są też wyprowadzone wyjścia VCOM (blokowanie układu biasu) i AGND1, AGND2 (masa biasu).

Prąd wyjściowy jest dostępny na wyprowadzeniach IOUTL+ i IOUTL- dla kanału lewego, oraz IOUTR+ i IOUTR- dla kanału prawego. Dla maksymalnego sygnału wejściowego (*full scale*) prąd ma wartość 4 mApp. Napięcie otrzymywane na wyjściu zewnętrznego konwertera prąd/napięcie jest wyliczane według zależności: $V_i = 4[mA_{pp}] * R_f$, gdzie R_f jest rezystancją w gałęzi ujemnego sprzężenia zwrotnego konwertera prąd/napięcie.

Konwerter prąd – napięcie.

Konwerter prąd – napięcie został zbudowany w oparciu o wzmacniacz operacyjny NE5534. Jest to bardzo udany i popularny wzmacniacz o małych szumach, specjalnie zaprojektowany do zastosowań w technice audio. W gałęzi ujemnego sprzężenia zwrotnego umieszczony jest rezystor 820 Ω i kondensator 2,7 nF. Wartość rezystancji, jak to już zostało powiedziane, określa napięcie na wyjściu konwertera. Kondensator wpływa na wyrównanie charakterystyki częstotliwościowej konwertera. Ponieważ układ wyjściowy przetwornika jest zbalansowany, to każda z gałęzi ma swój konwerter (U2 i U5 dla kanału lewego).

Filtr rekonstruujący. Wyjścia konwerterów są połączone z wejściem układu dolnoprzepustowego filtra rekonstruującego trzeciego rzędu (układ U3 dla kanału lewego). Układ filtra oprócz istotnej funkcji filtrowania dolnoprzepustowego napięcia wyjściowego przetwornika spełnia też funkcję desymetryzatora sygnału. Napięcie na wyjściu filtra jest asymetryczne i można nim sterować wejścia standardowych przedwzmacniaczy lub wzmacniaczy mocy.

Układ zasilania. Układ zasilania dostarcza napięcie dla układów logicz-

nych przetwornika, układów analogowych przetwornika, wzmacniaczy operacyjnych konwerterów prąd/napięcie i filtrów rekonstruujących. Nieprawidłowo zaprojektowany zasilacz może spowodować, że przetwornik o najlepszych parametrach nie będzie działał dobrze. Przyjęto, że źródłem każdego z napięć zasilających będzie oddzielne uzwojenie transformatora, osobny mostek prostowniczy i stabilizator. Ponadto zostały rozdzielone na płycie drukowanej masy obwodów cyfrowych i analogowych, a wszystkie napięcia są odpowiednio blokowane.

Układy logiczne przetwornika są zasilane stabilizowanym napięciem +3,3 VD względem masy cyfrowej DGND. Przemienne napięcie ze złącza ZZ po wyprostowaniu i filtracji przez kondensator C38 4700 $\mu\text{F}/25\text{ V}$ jest podawane na wejście stabilizatora U4 LM317. Napięcie wyjściowe stabilizatora +3,3 VD ustalają rezystory R8 i R6. Ważnym elementem układu zasilania jest blokowanie parą kondensatorów C21 (ceramiczny 100 nF) i C22 (10 $\mu\text{F}/16\text{ V}$) jak najbliższej wyprowadzeń zasilania układu scalonego U1.

Sekcja analogowa przetwornika jest zasilana napięciem +5 V względem masy analogowej AGND.

Napięcie +5 V jest stabilizowane układem U11 7805. Każda z sekcji prądowych ma osobno wyprowadzoną masę, żeby możliwe było oddzielne odsprężanie zasilania każdego z układów. Każde z napięć podawanych na VCC2L, VCC2R i VCC jest blokowane parami kondensatorów 100 nF i 10 μF względem dedykowanych mas analogowych. Kondensatory te są umieszczane na płycie drukowanej jak najbliższej nóżek układu U1.

Wzmacniacze operacyjne konwerterów prąd – napięcie i filtrów dolnoprzepustowych są zasilane napięciem $\pm 15\text{ V}$ uzyskiwanym z wyjścia stabilizatorów U6 (LM317) i U10 (LM337). Zastosowanie regulowanych stabilizatorów pozwala na dobranie napięć zasilających z większą precyzją niż w przypadku stabilizatorów typu 7815 i 7915. Przy każdym ze wzmacniaczy operacyjnych są umieszczone kondensatory 100 nF foliowy 10 $\mu\text{F}/16\text{ V}$ blokujące napięcie dodatnie i ujemne.

Moduł odbiornika S/PDIF. Cyfrowy sygnał audio jest przesyłany do przetwornika magistralą audio PCM. Magistrala ta z zasady jest przeznaczona do przesyłania danych na niewielkie odległości. Jeżeli przetwornik ma być używany

WYKAZ ELEMENTÓW**Płytki przetwornika****Rezystory** (0,25 W 1%)

R7, R23: 100 Ω
R6, R12, R21, R22: 180 Ω
R5, R11, R19, R20: 200 Ω
R4, R10, R17, R18: 220 Ω
R3, R9, R16, R26: 820 Ω
R8: 1 k Ω
R15: 1,6 k Ω
R1, R2, R30: 10 k Ω
R13, R24: 160 Ω
R14, R25: 1,8 k Ω

Kondensatory

C10, C16, C27, C44, C54, C67: 22 pF ceramiczny
C9, C26, C42, C43: 2,7 nF 1% foliowy
C15, C33, C52, C53 8,2 nF 1% foliowy
C32, C51: 27 nF 1% foliowy
C1, C3, C5, C21, C39, C40, C64, C65: 100 nF blokujący SMD (1206)
C13, C14, C19, C20, C30, C31, C48...C50, C57, C58, C69: 100 nF foliowy

C23...C25, C35...C37, C60...C62: 1 $\mu\text{F}/35\text{ V}$ tantal
C2, C4, C6...C8, C11, C12, C17, C18, C22, C28, C29, C41, C45...C47, C55, C56, C66, C68: 10 $\mu\text{F}/25\text{ V}$
C34, C59, C38, C63: 4700 $\mu\text{F}/25\text{ V}$

Półprzewodniki

D1...D12: 1N4007
U1: PCM1796
U2, U3, U5, U8, U9, U12: NE5534
U7, U11: 7805
U4, U6: LM317
U10: LM337

Inne

Złącza szpilkowe IDC10

Płytki odbiornika**Rezystory**

R16: 10 Ω
R10: 75 Ω
R6: 330 Ω
R12, R14: 1 k Ω
R13, R15: 1,6 k Ω
R4, R5, R17: 4,7 k Ω SMD (1206)
R1...R3, R7...R9: 10 k Ω SMD (1206)

R11: zwora
PR1: 4,7 k Ω potencjometr

Kondensatory

C14, C15: 33 pF
C4: 15 nF
C1, C6, C8, C11, C12, C23, C25: 100 nF SMD (1206)
C3, C10: 100 nF foliowy
C5: 470 nF foliowy
C2, C7, C9, C13, C17...C22, C24: 1 $\mu\text{F}/35\text{ V}$ tantal
C16: 4700 $\mu\text{F}/25\text{ V}$

Półprzewodniki

D1...D4: 1N4007
T1: BD139
U1: STA120
U2: U4 LM317
U3: 7805
U5: PIC18F2680 zaprogramowany

Inne

TR1: Transformator DA101 (opcjonalnie)
Z1 złącze CINCH
Odbiornik Toslink TORX173 (opcjonalnie)
Diawik 10 μH

Tab. 1. Formaty PCM układu STA120 dla M3=0

M2	M1	M0	Format
0	0	0	Dosunięty do prawej 16...24 bity Master
0	0	1	Dosunięty do prawej 16...24 bity Slave
0	1	0	I2S Master
0	1	1	I2S Slave
1	0	0	WSYNC Master
1	0	1	Dosunięty do lewej 16...24 bity Master
1	1	0	Dosunięty do lewej 16...24 bity Slave
1	1	1	MSB ostatni Master

jako autonomiczne urządzenie, to musi być wyposażony w odbiornik S/PDIF. W modelowym rozwiązaniu zastosowałem popularny i łatwy do zdobycia odbiornik STA120 produkowany przez firmę STM. Na rys. 4 pokazany jest schemat modułu, w którym oprócz kompletnego układu odbiornika umieszczony jest mikrokontroler sterujący PIC18F2680 i układy zasilania. Podzielenie przetwornika na 2 moduły: moduł przetwornika i moduł odbiornika pozwala na stosowanie różnych dostępnych odbiorników S/PDIF.

Odbiornik STA120. Standard S/PDIF przesyła zakodowany sygnał audio w postaci szeregowej linii o impedancji 75 Ω . Sygnał ma amplitudę $\pm 0,5$ V i jest podawany przez złącze Cinch Z1 na uzwojenie pierwotne transformatora separacyjnego TR1 typu DA101. DA101 jest specjalnie zaprojektowany do przesyłania cyfrowych sygnałów audio w standardzie S/PDIF lub AES/

Tab. 2. Funkcje dodatkowych wyprowadzeń dla SEL=0

E2	E1	E0	błąd
0	0	0	Bez błędu
0	0	1	Bit V=1
0	1	0	Flaga pewności
0	1	1	Błąd próbkowania
1	0	0	Błąd CRC (nie dotyczy S/PDIF)
1	0	1	Błąd parzystości
1	1	0	Błąd kodowania bifazowego
1	1	1	Błąd pętli PLL
F2	F1	F0	Częstotliwość
0	0	0	Poza zakresem
0	0	1	48 kHz $\pm 4\%$
0	1	0	44 kHz $\pm 4\%$
0	1	1	32 kHz $\pm 4\%$
1	0	0	48 kHz ± 400 ppm
1	0	1	44,1 kHz ± 400 ppm
1	1	0	44,056 kHz ± 400 ppm
1	1	1	32 kHz ± 400 ppm

EBU (standard komercyjny 110 Ω). Transformator oddziela galwanicznie źródło sygnału (odtwarzacza CD lub DVD) od układu odbiornika i eliminowane są szkodliwe sprzężenia i zakłócenia 50 Hz i 100 Hz pochodzące z sieci energetycznej. Sygnał z uzwojenia wtórnego transformatora jest podawany przez zworę J6 i kondensator C10 na wejście RxP interfejsu wejściowego odbiornika STA120. Interfejs wejściowy akceptuje sygnały standardu RS422 i nie ma konieczności stosowania dodatkowych układów dopasowujących. Ze względu na to, że jeden koniec uzwojenia transformatora separującego jest uziemiony, to wejście RxN interfejsu RS422 jest uziemiane dla sygnałów zmiennych przez kondensator C3. Po zwarceniu zworki J7 i rozwarciu J6, na wejście RxP podawany jest sygnał z odbiornika TORX173 systemu Toslink.

Głównym zadaniem odbiornika jest wydzielenie z sygnału wejściowego przesyłanych danych audio i sygnałów zegarowych. Zadanie to wykonuje blok *Clock&Data Recovery*. Odtworzony ze zmodulowanego bifazowo strumienia sygnał zegara systemowego jest dostępny na wyprowadzeniu MCK i ma częstotliwość $f_s * 256$. MCK jest połączone z wyjściem oscylatora sterowanego napięciem będącego częścią składową układu pętli PLL. Oprócz niego układ PLL składa się z detektora fazy i częstotliwości i dolnoprzepustowego filtra 2-giego rzędu. Wszystkie elementy PLL są scalone w strukturze układu oprócz elementów zewnętrznych R6, C4 i C5 filtru podłączanych pomiędzy wyprowadzenie FLT i masę układów analogowych AGND.

Po wydzieleniu zegara systemowego w module *Audio Serial Port*, dane są zamieniane na format audio PCM. Port wejściowy może pracować w trybie master lub slave.

W trybie master sygnał zegara SCK taktującego przesyłaniem danych na linii SDATA ma częstotliwość $f_s * 64$ i jest uzyskiwany przez podzielenie częstotliwości zegara systemowego przez 4. Sygnał identyfikacji kanałów FSYNC ma częstotliwość równą częstotliwości próbkowania danych wejściowych f_s . W trybie slave linia SDATA jest zawsze linią wyjściową, a linie zegarowe liniami wejściowymi.

Tryb pracy portu oraz format danych wyjściowych jest ustawiany

stanami na wyprowadzeniach M0...M2 ustawianymi zworkami J1...J3. Wyprowadzenie M3 (zworka J3) służy do ustawienia trybu pracy. Dla M3=0 port pracuje w trybie normalnym (tab. 1).

Ponieważ przetwornik po włączeniu zasilania akceptuje format I2S, to odbiornik będzie miał również ustawiony format I2S: zworki J2 i J3 muszą być zwarte (stan logiczny zero), a zworki J1 rozwarłe (stan logiczny 1). W ten sposób zostaje ustawiony format I2S Master. Sygnały zegarowe i sygnał danych z wyjścia odbiornika są połączone z pinami złącza IDC10 ZPCM.

Odbiornik STA120 może pokazywać na dwufunkcyjnych wyprowadzeniach C0/F0...Ce/F2 dodatkowe informacje. Jeżeli wyprowadzenie SEL jest w stanie niskim, to na E0...E2 jest zakodowana informacja o błędach, a na F0...F2 informacja o odbieranej częstotliwości próbkowania (tab. 2).

Kiedy SEL jest w stanie wysokim, to na dodatkowych wyprowadzeniach zakodowane są informacje kanału statusowego (tab. 3)

Na wyprowadzeniu C0 przesyłany jest zanegowany bit PRO/CON zerowego bajtu kanału kontrolnego. Stan wyprowadzenia określa czy są przesyłane dane w standardzie konsumenckim S/PDIF (C0=1), czy w standardzie profesjonalnym (C0=0).

Jeżeli w standardzie S/PDIF (C0=1) wyprowadzenie Ca jest w stanie wysokim, to przesyłane są dane audio. Wyzerowanie bitu Ca oznacza przesyłanie innych danych. Stan Ca jest odpowiednikiem zanegowanego bitu audio bajtu zerowego kanału kontrolnego.

Wyprowadzenie Cb przyjmuje stan zanegowanego bitu copy/copyright zerowego bajtu kanału statusowego. Preemfaza jest sygnalizowana na wyprowadzeniu Cc. Jeżeli Cc jest w stanie niskim, to preemfaza jest aktywna. Wartość bitu 7 bajtu

Tab. 3. Funkcje wyprowadzeń dla SEL=1

Pin	Professional	Consumer
C0	0 (low)	1 (high)
Ca	C1	C1
Cb	EM0	C2
Cc	EM1	C3
Cd	C9	ORIG
Ce	CRCE	IGCAT

1 kanału statusowego jest przepisywana na wyprowadzenie Cd. Jeżeli jest ono w stanie niskim, to nagranie jest oryginalne, w przeciwnym wypadku jest to kopia.

Ostatnie wyprowadzenie Ce jest wykorzystywane do sygnalizacji L-bitu kodu kategorii określonego w bajcie 1 bloku statusowego. Jeżeli Ce jest w stanie niski, to są ignorowane bity: copy/copyright (bajt0 bit2) i bit 7 bajtu 1 bloku statusowego. Oznacza to, że przesyłany materiał może być kopiowany bez żadnych ograniczeń.

Odbiornik jest zasilany napięciem +3,3 VD względem masy cyfrowej DGND i napięciem +3,3 VA względem masy analogowej AGND. Masy AGND i DGND są rozdzielone na płycie drukowanej. Oba napięcia są blokowane parą kondensatorów 100 nF i 10 µF umieszczonych na płycie jak najbliżej wyprowadzeń zasilających STA120. Źródłem napięć zasilających są wyjścia stabilizatorów LM317 U2 i U4.

Mikrokontroler. Mikrokontroler PIC18F2680 programuje nastawę przetwornika i może monitorować stan pracy odbiornika STA120 (wyjścia Ca...Ce są połączone z liniami portu PORTC). Do sterowania pracą przetwornika wykorzystano wbudowany sprzętowy moduł transmisji I²C. Linie SDA i SCL są połączone z pinami złącza ZPCM. Cztery styki sterujące pracą sterownika trzeba połączyć z wyprowadzeniami SW1...SW4 złącza KEYB. Styki po przyciśnięciu zwierają linie RB4...RB7 do masy. Do linii IR dołączane jest wyjście odbiornika IR pilota RC5. Złącze IDC WYS jest przeznaczone do sterowania

wyświetlaczem alfanumerycznym ze sterownikiem HD44780. Możliwe jest sterowanie podświetlaniem wyświetlacza przebiegiem PWM. Wyjście sprzętowego modułu PWM steruje bazą tranzystora T1. Wyprowadzenie podświetlenia wyświetlacza łączy się z punktami lutowniczymi POD.

Mikrokontroler jest zasilany napięciem +3,3 VD, a wyświetlacz napięciem +5 V ze stabilizatora U3 7805.

Konfiguracja

Zależnie od wymagań, przetwornik może pracować w kilku konfiguracjach. Najprostsza konfiguracja składa się z jednego modułu przetwornika (rys. 1) i modułu odbiornika bez mikrokontrolera i wyświetlacza. Układ PCM1796 po włączeniu zasilania jest ustawiany przez wewnętrzne procedury zerowania w stan domyślny. W stanie domyślnym ustawiony jest 24-bitowy format I2S danych wejściowych PCM, a tłumienie regulatora sygnału wyjściowego jest równe 0 dB. Przetwornik pracuje w trybie stereo, to znaczy, że jeden układ przetwarza dwa kanały stereo i tryb monaural jest wyłączony. Jeżeli nie zależy nam na regulacji siły głosu, zmienianiu charakterystyki filtra cyfrowego, lub trybie monaural, to wystarczy, że odbiornik będzie wysyłał dane w formacie I2S i przetwornik będzie działał poprawnie. Dla przypomnienia: format I2S w odbiorniku ustawia się zworkami J1...J4. Zworki J2, J3 i J4 muszą być zwarte (stan logiczny zero), a zworka J1 rozwarta (stan logiczny 1). Moduł przetwornika (złącze Z3) i odbiornika (złącze

ZPCM) trzeba połączyć jak najkrótszym kablem wstążkowym zakończonym wtykami IDC.

Druga konfiguracja wykorzystuje mikrokontroler, wyświetlacz, klawisze i ewentualnie odbiornik RC5 z pilotem. Położenie zworek w odbiorniku pozostaje bez zmian. Przetwornik może pracować nadal tylko w trybie stereo, ale możliwa jest regulacja siły głosu, regulacja balansu, zmiany charakterystyki filtra cyfrowego i sterowanie z pilota. Zworka I2C_A w module przetwornika musi być rozwarta.

Trzecia, najbardziej rozbudowana konfiguracja wykorzystuje kompletny odbiornik z mikrokontrolerem i wyświetlaczem oraz dwa moduły przetworników. W tym przypadku możliwa jest praca w trybie stereo (jeden przetwornik konwertuje 2 kanały) i w trybie monaural. W trybie monaural jeden moduł przetwornika konwertuje jeden kanał. Pozwala to układowi PCM1796 uzyskać w czasie konwersji mniejsze zniekształcenia i lepszą dynamikę. Takie rozwiązanie jest stosowane w dużej części dobrych konstrukcji przetworników. Konfiguracja modułu odbiornika pozostaje bez zmian. W module przetwornika konwertującym kanał lewy zworka I2C_A jest rozwarta, a w module konwertującym kanał prawy jest zwarta. Moduły przetworników i odbiornika są połączone między sobą kablami z wtykami IDC (złącza Z1, Z3 i ZPCM). Połączenie zapewnia przesyłanie sygnałów PCM, sygnałów magistrali sterującej I²C i zerowania układów PCM1796.

Tomasz Jabłoński, EP
tomasz.jablonski@ep.com.pl

R E K L



**PRECYZYJNE
REZYSTORY METALIZOWANE**

Rezystancje od 0,3 Ω do 10 MΩ
Tolerancje od 0,01% do 0,5%


elpod
POLSKI
PRODUCENT

30-716 Kraków
ul. Przewóz 34
tel. 012 410-25-50 do 51
fax 012 410-25-52

http://www.elpod.com.pl e-mail: biuro@elpod.com.pl

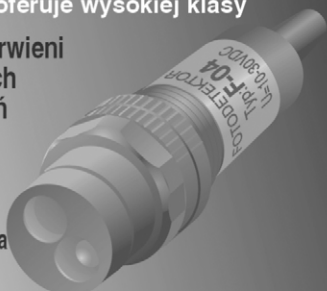
Oferujemy ponadto: Rezystory SMD 0805 oraz 1206 10Ω do 1MΩ
Tolerancje 0,1%; 0,25%; 0,5%; 1%
TWR 10, 25, 50 ppm/K

A M A



EBS
Ink Jet Systems

Renomowany producent
drukarek INK-JET
oferuje wysokiej klasy



**Aktywny detektor podczerwieni
do zastosowań w układach
automatyki i zabezpieczeń**

małe wymiary budowy (M18x1)
duża odporność na zakłócenia
wbudowany wskaźnik zadziałania
wyjście odporne na zwarcie
wykonania PNP, NPN

EBS Ink - Jet Systems Poland Sp. z o.o.
ul. Tarnogajska 13, 50-512 Wrocław
tel. (071) 367 04 11, fax (071) 373 32 89