

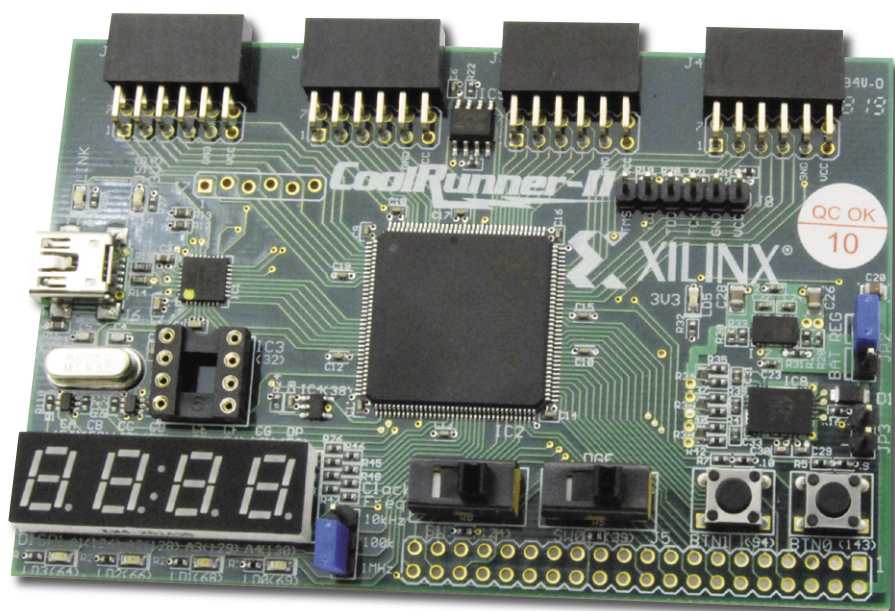


CoolRunner-II – nowoczesne CPLD dla oszczędnych

CoolRunner-II CPLD Starter Kit

Firma Xilinx, podobnie jak i inni producenci półprzewodników, przygotowuje coraz to nowe propozycje dla konstruktorów, spełniające rolę „wabików” mających ułatwić im rozpoczęcie samodzielnych działań z oferowanymi przez siebie układami.

W artykule przedstawiamy interesujący pod względem możliwości i (co równie ważne) ceny, prosty zestaw ewaluacyjny, przeznaczony dla konstruktorów zainteresowanych poznaniem możliwości układów CPLD z rodziny CoolRunner II.



Układy CoolRunner II należą do drugiej generacji energooszczędnych CPLD w ofercie firmy Xilinx, reklamowanych przez producenta jako *real digital PLD*. Zastosowano w nich nowatorską koncepcyjnie i technologicznie matrycę programowalną FZP (*Fast Zero Power*), charakteryzującą się bardzo małym poborem prądu podczas odczytu, co było wówczas najsłabszym punktem „małych” układów programowalnych PAL, PLA i CPLD. Być może starsi Czytelnicy EP pamiętają, że Philips reklamował układy CoolRunner pierwszej generacji pokazując, że mogą być one zasilane z ogniwa chemicznego utworzonego z kilku grejpfrutów. Jak wówczas sprawdziliśmy, była to prawda, ale przy nie podawanym przez producenta założeniu, że po dołączeniu zasilania zastosujemy dodatkowe źródło prądu, umożliwiające poprawny start układu (co jest związane z odbywającą się po włączeniu zasilania autokonfiguracją układów CoolRunner).

Protoplastów rodziny CoolRunner II – układy programowalne nazywane XPLA (od *eXtended Programmable Logic Array*) – opracowali inżynierowie firmy Philips (tak, była kiedyś taka firma półprzewodnikowa!), a wprowadzono je do

sprzedaży po wakacjach 1996 roku. W wyniku restrukturyzacji firmy Philips w 1999 roku dział układów programowalnych został przejęty przez firmę Xilinx i od tej pory układy CoolRunner noszą logo tej firmy.

CoolRunner II – cechy szczególne

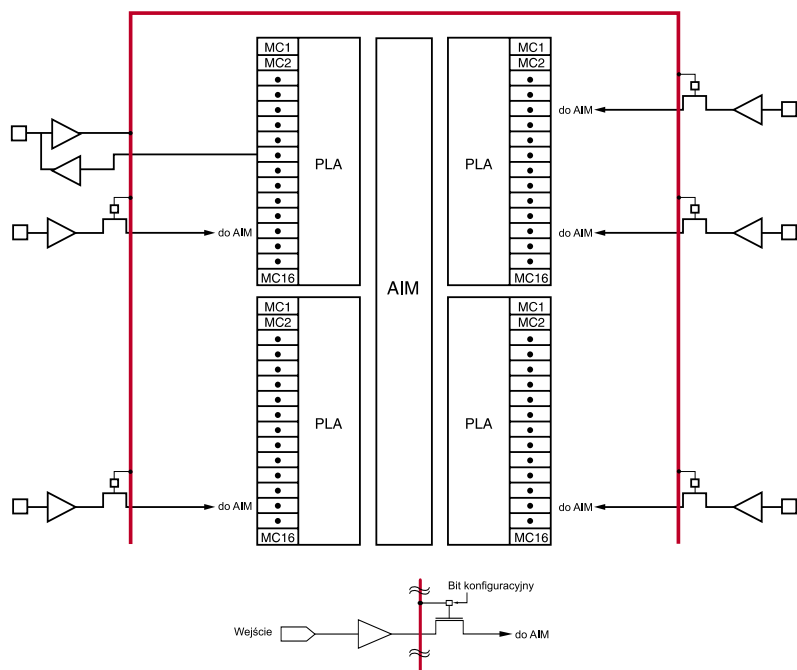
Buńczuczne reklamy układów CoolRunner – jako jednych z najbardziej energooszczędnych układów CPLD – mają uzasadnienie i to nie tylko w wyniku zastosowania w nich matrycy FZP.

W oszczędzaniu energii pomaga także mechanizm DataGATE (rys. 1), którego działanie polega na... odcinaniu sygnałów zewnętrznych od programowalnej matrycy logicznej! Dzięki takiemu rozwiązaniu prąd pobierany przez układ CPLD zmniejsza się, ponieważ nie są przeładowywane wewnętrzne pojemności obciążające wewnętrzne linie sygnałowe. Użytkownik ma możliwość samodzielnego ustalenia, które wejścia będą odłączane, a które nie, dzięki czemu można układ CPLD „usypiać” nie tracąc kontaktu z otoczeniem, co pozwala „budzić” układ na żądanie. Warto zwrócić uwagę, że logika zaimplementowana w CPLD nie „usypia”, jest jedynie odcinana od sygnałów

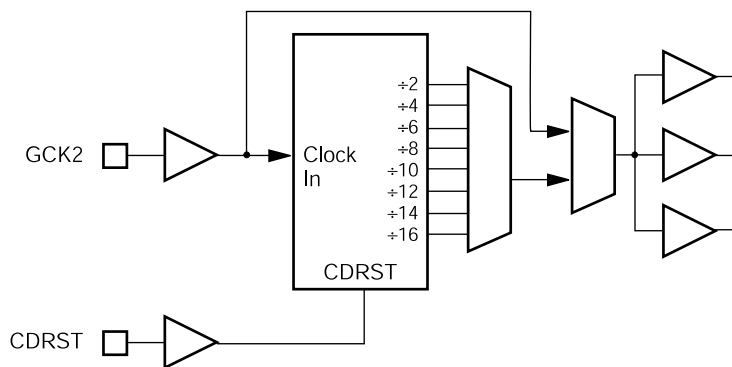
wejściowych, co minimalizuje czas powrotu układu do normalnego działania. Producent podaje w swoich materiałach, że pobór mocy po odłączeniu CPLD od pobudzających sygnałów zewnętrznych może spaść o 99%, co pozwala oszacować straty energii w układach CMOS taktowanych sygnałami zegarowymi o wyższych częstotliwościach wynikające z cech tej technologii.

Na minimalizację poboru energii ma także fakt, że rdzeń układów CoolRunner II jest zasilany napięciem o wartości 1,8 V. Tak niskie napięcie zasilania przekazuje dodatkowy komunikat: do produkcji tych CPLD zastosowano nowoczesną (czyli „gęstą”) technologię co powoduje, że powierzchnie ich struktur krzemowych są małe, a to właśnie powierzchnia struktury ma znaczący wpływ na ceny układów.

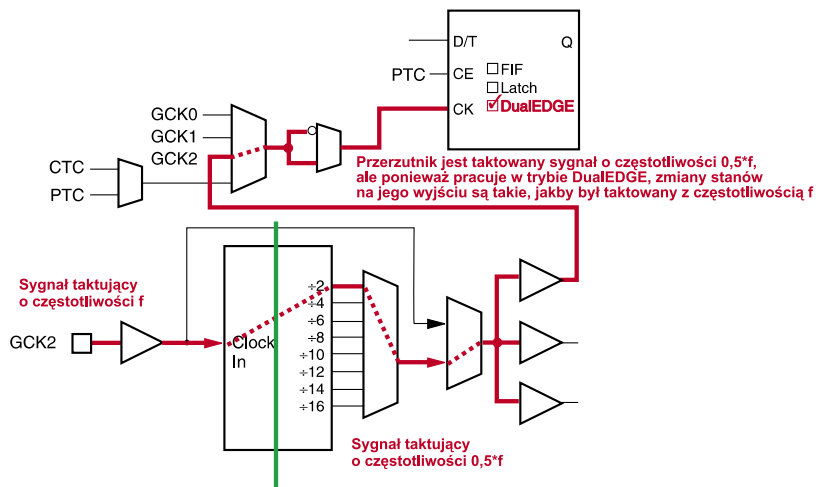
Trzecim rozwiązaniem zastosowanym w układach CoolRunner II ułatwiającym obniżenie poboru energii, jest podział linii I/O na niezależnie zasilane banki (jeden, dwa lub cztery, w zależności od obudowy i liczby makrokomórek). Zakres dopuszczalnych napięć zasilania linii I/O mieści się w przedziale 1,5...3,3 V, niestety nie jest dopuszczalna bezpośrednia współpraca układów



Rys. 1. Schemat blokowy układu CoolRunner II wyposażonego w odłączniki DataGATE (sterowane za pomocą specjalnej linii oznaczonej kolorem czerwonym)



Rys. 2. Sygnał taktujący podawany na wejście GCLK2 może być dzielony za pomocą programowanego dzielnika wbudowanego w układy CoolRunner II (dostępnego w układach XC2C128 i większych)



Rys. 3. Zasada działania energooszczędnego taktowania (CoolCLOCK)

CoolRunner II z układami cyfrowymi zasilanymi napięciem powyżej 4 V. Rozwiązanie zastosowane w prezentowanych układach ma także tę zaletę, że ułatwia bezpośrednie dołączanie do układów CoolRunner II układów cyfrowych wyposażonych w in-

terfejsy różnego rodzaju (zasilanych różnymi napięciami, HSTL, SSTL, LV-TTL itp., niektóre standardy są dostępne wyłącznie w układach od XC2C128 i większych), co pozwala m.in. spełniać rolę „inteligentnych” konwerterów napięciowych.

Układy CoolRunner II wyposażono w zaawansowany system taktowania, którego ważnym elementem są przerzutniki taktowane programowanym zboczem, mogące pracować także w konfiguracji *DualEDGE* (aktywne obydwie zbocza), dzięki czemu logika zaimplementowana w CPLD będzie pracować dwukrotnie szybciej niż wskazuje na to częstotliwość sygnału zegarowego, bez konieczności jej zwiększania. Do globalnej linii GCLK2 dołączono dzielnik o programowanym współczynniku podziału (wartości współczynników: 2, 4, 6, 8, 10, 12, 14, 16 – wyłącznie w układach XC2C128 i większych, rys. 2). Może on służyć do podziału i formowania (PWM=50%) wewnętrznego sygnału zegarowego, można go także – w połączeniu z taktowaniem *DualEDGE* – wykorzystać do energooszczędnego taktowania (tzw. CoolCLOCK). Jego ideę zilustrowano na rys. 3 – przerzutniki dwuzboczowe pozwalają stosować częstotliwość taktowania o połowę niższą niż wynika to z potrzeb projektu, co korzystnie odbija się na poborze prądu.

Twórcy prezentowanych układów zadbali także o wygodę konstruktorów urządzeń, bowiem na wszystkich liniach I/O zastosowali programowalne „rezystory” odciągające linie do plusa zasilania oraz przerzutniki podtrzymujące ostatni stan wejściowy (tzw. *bus-hold*). Dodatkowo linie I/O nie wykorzystywane w projekcie mogą zostać dołączone do masy zasilania – ma to duże znaczenie dla poboru prądu przez układ, ze względu na dużą impedancję portów wejściowych. W przypadku układów CMOS pozbawionych takich rozwiązań, konieczne jest zwieranie niewykorzystanych wejść do masy na płycie drukowanej, w przeciwnym przypadku pobór prądu przez układ może znacznie wzrosnąć.

Wygodzie konstruktorów służą także inne – rzadko spotykane w rozwiązaniach konkurencyjnych – elementy wyposażenia komórek I/O (rys. 4):

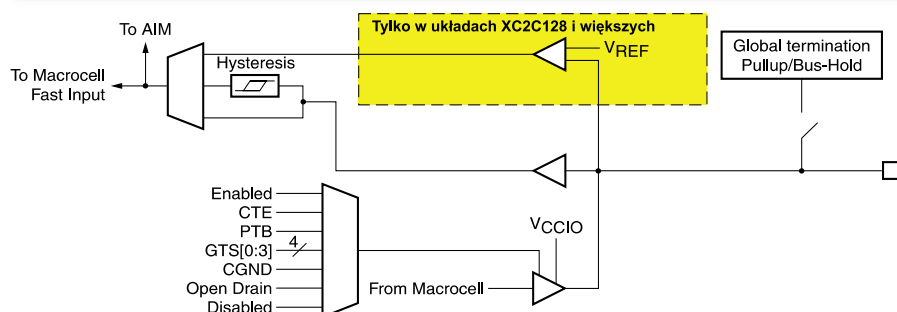
- w torze wejściowym można wykorzystać przerzutnik Schmitta o histerezie ok. 500 mV, dzięki któremu zakłócone sygnały wejściowe mogą być wstępnie formowane,
- bufor wyjściowy może być konfigurowany w tryb pracy z otwartym drenem, co pozwala m.in. na tworzenie sprzętowych funkcji *wired-OR*, przydatnych m.in. w przypadku magistral I²C.

Zestaw CoolRunner-II CPLD Starter Kit

Jak wspomnieliśmy na początku artykułu, pretekstem do ponownego przedstawienia czytelnikom możliwości układów z rodziny CoolRunner II jest wprowadzony niedawno do sprzedaży zestaw startowy o nazwie CoolRunner-II CPLD Starter Kit (fot. 5). Płytę zestawu wyposażono w układ XC2C256 w obudowie TQFP144, dwa generatory sygnałów taktujących (w tym jeden z trzyzpozycyjnym selektorem – LTC6905), pamięć Flash M25P40, 16-kanalowy przetwornik A/C

Zestawienie podstawowych parametrów układów CPLD z rodziny CoolRunner II

	Part Number	XC2C32A	XC2C64A	XC2C128	XC2C256	XC2C384	XC2C512
Logic Resources	System Gates	750	1,500	3,000	6,000	9,000	12,000
	Macrocells	32	64	128	256	384	512
	Product terms per Macrocell	56	56	56	56	56	56
Clock Resources	Global Clocks	3	3	3	3	3	3
	Product Term Clocks per Function Block	16	16	16	16	16	16
I/O Resources	Maximum I/O	33	64	100	184	240	270
	Input Voltage Compatible	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3
	Output Voltage Compatible	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3
Speed	Min. pin-to-pin Logic Delay (ns)	3.8	4.6	5.7	5.7	7.1	7.1
	Commercial Speed Grades (Fastest to Slowest)	-4, -6	-5, -7	-6, -7	-6, -7	-7, -10	-7, -10
	Industrial Speed Grades (Fastest to Slowest)	-6	-7	-7	-7	-10	-7, -10



Rys. 4. Budowa komórki I/O układów CoolRunner II

pomocniczy program do monitorowania poboru prądu przez CPLD i temperatury w otoczeniu płytki drukowanej. Umożliwia on także programowanie układu CPLD (rys. 6).

Poważnym atutem prezentowanego zestawu jest jego promocyjna cena, która wynosiła (nie wiemy jak długo będzie obowiązywać) ok. 150 zł brutto.

Podsumowanie

Układy CoolRunner II należą do grona najnowocześniejszych CPLD, spośród dostępnych obecnie na rynku. Częstemu sięganiu po te układy sprzyja ich malejące ceny, które do niedawna były poważną przeszkodą, zwłaszcza w przypadku układów o liczbie mikrokomórek powyżej 64.

Akcja promocyjna firmy Xilinx, polegająca na oferowaniu zestawów startowych po cenach wręcz dumpingowych, ma szansę zachęcić do wypróbowania możliwości tych układów przez szersze niż dotychczas grono konstruktorów, do czego i my gorąco zachęcamy.

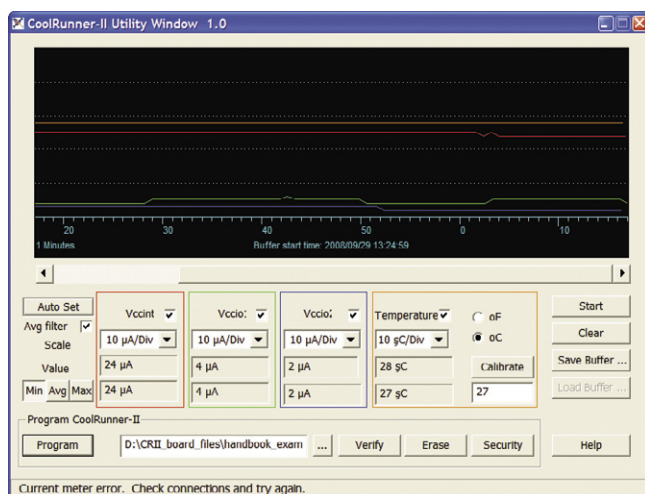
Piotr Zbysiński, EP

piotr.zbysinski@ep.com.pl

z interfejsem SPI (wykorzystywany do monitorowania poboru prądu przez CPLD), stabilizatory napięcia i programator dołączany do komputera za pomocą USB (na mikrokontrolerze AT90USB162). W skład wyposażenia zestawu wchodzi także moduł z wyświetlaczem (LCD 2x16 znaków), który jest dołączany do płytki za pomocą wygodnych złącz szplinkowych.

Standardowym wyposażeniem zestawu jest także dokumentacja w postaci cyfrowej (z przykładami) i oprogramowanie narzędziowe, w skład którego wchodzi bezpłatny pakiet WebPack ISE oraz

Fot. 5. Zestaw CoolRunner-II CPLD Starter Kit



Rys. 6. Widok okna programu CoolRunner II Utility

Firma Xilinx przygotowała i udostępniła arkusz kalkulacyjny (w formacie Excel), za pomocą którego można oszacować zużycie zasobów logicznych w układach CPLD z rodzin XC9500 i CoolRunner II podczas implementacji w nich bloków (liczników, rejestrów, driverów itp.) i funkcyj logicznych zgodnych z serią układów TTL oraz interfejsu UART (funkcjonalny odpowiednik 16C450).

Arkusz publikujemy na płycie CD-EP11/2008B, jest on dostępny także w Internecie pod adresem: <http://www.xilinx.com/products/coolrunner2/X7400CC.xls>.