

VGA44780 – znakowa karta wideo do systemów mikroprocesorowych

AVT-940

Ewolucja mikroelektroniki znajduje swoje odbicie w dążeniu do udoskonalania sposobów interakcji człowieka z maszyną.

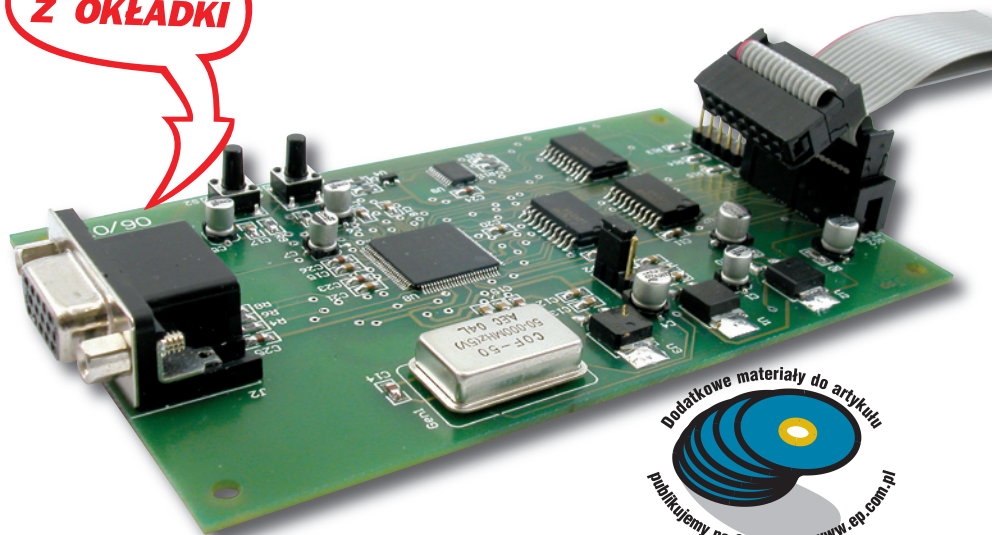
Tendencja ta sprawia, że nowoczesne urządzenia – choć coraz bardziej wyrafinowane – są proste w obsłudze i przyjazne użytkownikowi.

Interfejs użytkownika ma bowiem niemałe znaczenie – sprzyja konkurencyjności danej technologii i poszerza grono jej odbiorców.

Rekomendacje:

artykuł polecamy Czytelnikom, którzy odczuwają brak dużych, a przy tym tanich urządzeń wyświetlających. Zainteresować powinien on również osoby, stosujące układy programowalne.

**PROJEKT
Z OKŁADKI**



PODSTAWOWE PARAMETRY

PODSTAWOWE PARAMETRY MODELU HDL

- Język opisu: VHDL
- Wysoka zgodność logiczna z HD44780
- Wiele funkcji dodatkowych względem HD44780
- Tryb VGA: 640x480, 60 Hz
- Liczba dostępnych kolorów: 8
- Format znaków: 5x8 pikseli
- Objętość pamięci: 128x64 znaki
- Obszar wyświetlania: 106x48 lub 53x24 znaki
- Wersja szablonów znakowych: europejska
- Wbudowane polskie znaki
- Częstotliwość taktowania: 50 MHz
- Liczba zajętych slice-ów FPGA: 350 (18% XC3S200)

PODSTAWOWE PARAMETRY OBWODU AVT-940

- Napięcie zasilania: 5 V
- Średni pobór prądu: 65÷75 mA
- Kompatybilność napięciowa interfejsu: 3,3 V i 5 V
- Wymiary PCB: 120x70 mm

Produkowany przez firmę Hitachi sterownik alfanumerycznych wyświetlaczy ciekłokrystalicznych HD44780 to układ, który wszyscy świetnie znamy. Wbudowujemy go w postaci modułu LCD w wielu urządzeniach. Jego poważną zaletą jest prosta obsługa i niska cena. Praktyka pokazuje, że wyświetlacze alfanumeryczne LCD i VFD mają ograniczone możliwości prezentacji informacji, a ich większe wymiarami wersje są drogie. Co więcej, typowe wyświetlacze LCD są monochromatyczne, a kształty wyświetlanych znaków są stałe (ich zbiór może być co prawda poszerzany, ale w bardzo ograniczonym zakresie). Choć jeszcze do niedawna eksponowany na płycie czołowej wyświetlacz LCD o organizacji 2x16 znaków świadczył o „inteligencji” danego urządzenia, to dzisiaj odczucia mogą być wręcz przeciwnie.

Znany interfejs, większy ekran

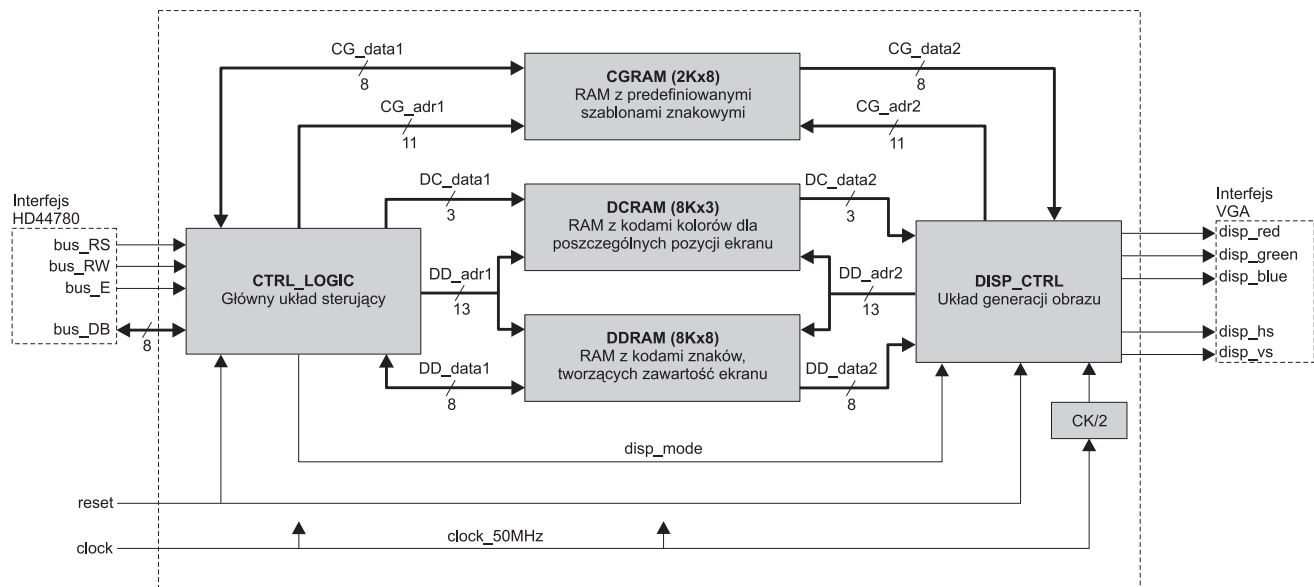
Spójrzmy na standardowy, kolorowy monitor VGA, jaki stoi na naszym biurku. Pomyślmy, jak duży jest w jego przypadku stosunek ilości wyświetlanej informacji do ceny. A teraz wyobraźmy sobie, że moni-

tor ten posiada wejście 14-pinowe, stanowiące interfejs zgodny z tym, do jakiego przyzwyczaili nas moduły oparte na HD44780. Myślimy „niemożliwe”? A jednak!

W artykule przedstawiamy projekt urządzenia, pozwalającego zamienić monitor CRT w wyświetlacz, który możemy podłączyć do systemu mikroprocesorowego zamiast modułu LCD. Urządzenie o nazwie VGA-44780 charakteryzuje się identycznym interfejsem fizycznym i bardzo zbliżonym protokołem komunikacji do protokołu jego przodka – sterownika HD44780.

Forma projektu

Omawiane urządzenie zostało opisane w języku VHDL i można je zaimplementować w dowolnym układzie FPGA z rodziny Spartan 3 firmy Xilinx (dla innych układów wymagane mogą być pewne modyfikacje). Takie „miękkie” podejście do projektowania układów jest od wielu lat standardem w przemyśle elektronicznym. Obecnie, czy się nam to podoba czy nie, metody stosowane dawniej tylko do projektowania układów scalonych roz-



Rys. 1. Uproszczony schemat blokowy układu VGA44780

przestrzeniają się na układy cyfrowe w ogóle. Wygląda więc na to, że jako elektronicy wkrótce będziemy musieli pogodzić się z faktem, że najważniejszym etapem projektowania urządzeń będzie ich opis w języku HDL i komputerowa symulacja. Kto wie, być może i projektowanie obwodu drukowanego będzie w przyszłości polegać głównie na tworzeniu jego opisu?

Chwilowo jednak zejdźmy na ziemię i zajmijmy się możliwymi „ciałami” opisywanego urządzenia. Projekt można bowiem zbudować na wiele sposobów, z których omówione zostaną dwa:

- w oparciu o dedykowany obwód AVT-940,
- z użyciem dowolnej płyty uruchomieniowej dla układów FPGA.

Rozwiązania układowe

Na strukturę blokową VGA44780 składają się trzy zasadnicze części (rys. 1): układ sterujący pracą urządzenia (CTRL_LOGIC), bloki pamięciowe i układ generacji obrazu (DISP_CTRL). Urządzenie taktowane jest sygnałem zegarowym o częstotliwości 50 MHz (clock_50MHz), a sygnałem zerującym jest reset.

Układ sterujący udostępnia interfejs zgodny z HD44780, służący do komunikacji z urządzeniem nadrzędnym. W blokach pamięciowych przechowywane są szablony znaków (CGRAM), aktualna zawartość pamięci ekranowej (DDRAM) i informacja o kolorach przyporządkowanych poszczególnym pozycjom

ekranu (DCRAM). Układ generacji obrazu ma natomiast za zadanie wytwarzać sygnały koloru (R, G i B) i synchronizacji (HS i VS)

w oparciu o zawartości wymienionych pamięci. Zarówno moduł CTRL_LOGIC, jak i DISP_CTRL mają dostęp do wszystkich pamięci

Lower 4 Bits	Upper 4 Bits	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
xxxx0000	CG RAM (1)																
xxxx0001	(2)																
xxxx0010	(3)																
xxxx0011	(4)																
xxxx0100	(5)																
xxxx0101	(6)																
xxxx0110	(7)																
xxxx0111	(8)																
xxxx1000	(1)																
xxxx1001	(2)																
xxxx1010	(3)																
xxxx1011	(4)																
xxxx1100	(5)																
xxxx1101	(6)																
xxxx1110	(7)																
xxxx1111	(8)																

Rys. 2. Domyślna zawartość pamięci CGRAM układu VGA44780



ci układu, ale tylko ten pierwszy ma możliwość modyfikacji ich wartości. Przy tym układ sterujący może wpływać na pracę modułu generacji obrazu za pośrednictwem sygnału `disp_mode`.

Moduł CTRL_LOGIC

Układ sterujący pracuje w ciągłym oczekiwaniu na rozkazy i dane. W tym celu obserwuje on linie specjalne interfejsu (`bus_RS`, `bus_RW` i `bus_E`), a po wykryciu odpowiednich stanów przejściowych odbiera lub przesyła wartości poprzez dwukierunkową magistralę `bus_DB`. Po każdej transmisji nadchodzącej zachodzi dekodowanie odebranej informacji i uruchamiany jest potok przypisanych jej działań (np. zapis do pamięci DDRAM – jeśli przesyłane były dane; czyszczenie ekranu – jeśli przesyłane były rozkazy itp.).

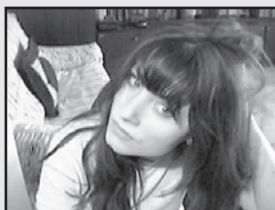
Moduły pamięciowe

Projekt wymaga trzech osobnych, szybkich (20 ns), dwuportowych bloków RAM o organizacji 2x8 kb, 8x8 kb i 8x3 kb. Gdzie szukać tak nietypowych elementów? Otóż są one na wyciągnięcie ręki w postaci pamięci *blockRAM* implementowanej w układach FPGA firmy Xilinx. Układ XC3S200 ma wbudowanych 12 dwuportowych bloków pamięci RAM o pojemności 2 kB każdy. Jedyne, co należy zrobić, to odpowiednio połączyć siedem z nich – połączenia te są opisywane w modułach CGRAM, DDRAM i DCRAM projektu.

Tab. 1. Predefiniowane polskie znaki diakrytyczne w pamięci CGRAM

Adres w CGRAM	Znak
0x00	Ą
0x01	Ć
0x02	Ę
0x03	Ł
0x04	Ń
0x05	Ó
0x06	Ś
0x07	Ż
0x08	ą
0x09	ć
0x0A	ę
0x0B	ł
0x0C	ń
0x0D	ó
0x0E	ś
0x0F	ż

Zawartość pamięci CGRAM przygotowała dla nas siostra autora – Kasia.



Za wykonanie tej żmudnej i mało efektownej pracy dziękujemy wraz z autorem projektu!

Poza eliminacją konieczności dołączania zewnętrznych układów scalonych, implementacja pamięci wewnątrz układu FPGA daje dodatkowe korzyści. Pamięć typu *blockRAM* ma bardzo cenną właściwość – daje możliwość określenia jej zawartości początkowej. Dzięki temu możemy przykładowo predefiniować kody szablonów znakowych i sprawić, że znajdą się one w pamięci CGRAM już w trakcie konfiguracji układu FPGA (czyli automatycznie, zaraz po włączeniu zasilania). W efekcie moduł CGRAM projektu zawiera nie tylko opis strukturalny tej pamięci, ale i definicje wszystkich zawartych w niej szablonów znakowych. Podobnie, pamięć DDRAM jest wypełniana początkowo znakami pustymi (0x20 – spacja), a DCRAM – kodami koloru białego (0x7).

Moduł DISP_CTRL

Działanie modułu generacji obrazu sprowadza się do zliczania impulsów sygnału zegarowego o częstotliwości 25 MHz i generacji sygnałów synchronizacji obrazu oraz sygnałów wizji. Chwilowa wartość licznika pikseli informuje o aktualnej pozycji plamki na ekranie, a zatem i o numerze znaku, który powinien być w danej chwili wyświetlany. Na podstawie tej informacji, z pamięci DDRAM pobierany jest kod znaku, a informacja o jego kolorze – z DCRAM. Kod pobrany z DDRAM stanowi z kolei adres szablonu znakowego w pamięci CGRAM. Odnaleziony w ten sposób szablon wraz z informacją pobraną z DCRAM determinuje, czy i które linie obrazu (R, G, B) mają zostać uaktywnione (ustawione w stan wysoki).

Generowany przez moduł obraz jest zgodny ze standardem VGA. Posiada on rozdzielczość 640x480 i jest odświeżany z częstotliwością 60 Hz. Ponieważ znaki mają rozmiar 5x8 pikseli i zastosowano 1 piksel interlinii pionowej oraz 2

poziomej, to jednocześnie wyświetlanych może być 106x48 znaków.

Moduł `DISP_CTRL` odpowiada również za wyświetlanie kursora, przeprowadzanie operacji przesuwania obrazu i jego powiększanie (funkcja dodatkowa względem HD44780). Funkcje te kontrolowane są przez `CTRL_LOGIC` za pośrednictwem sygnału rekordowego `disp_mode`.

Funkcje dodatkowe

Przyjrzyjmy się teraz różnicom funkcjonalnym między VGA44780 a jego przodkiem. Najpoważniejszą zmianą jest oczywiście powiększenie obszaru wyświetlania. Pociągnęło to za sobą konieczność adresowania położenia kursora w osiach X i Y. Również konstrukcja instrukcji przesuwu kursora i obrazu została zmodyfikowana tak, że oś przesuwu musi być w jej przypadku dodatkowo określana.

W układzie HD44780 pamięć szablonów znakowych miała postać pamięci ROM, a tylko 8 pierwszych szablonów (czyli 64 komórki pamięci) mogło być zapisywane z poziomu interfejsu. VGA44780 rozszerza tę możliwość na cały obszar pamięci CGRAM, ponieważ jest ona w jego przypadku w całości pamięcią typu RAM. Problemem jest jednak fakt, że bezpośrednio zaadresować można wyłącznie 8 początkowych szablonów (tj. 64 początkowe bajty CGRAM, co jest ograniczeniem wynikającym z protokołu). Jednak, korzystając z mechanizmu autoinkrementacji adresu przy zapisie do pamięci, można nadpisać dowolnie długi obszar CGRAM, pod warunkiem rozpoczęcia od jednej z 64 początkowych komórek. Innym rozwiązaniem jest wstępna inkrementacja adresu CGRAM do pożądanej wartości poprzez kolejne operacje odczytu tej pamięci.

Jak już wspomniano, domyślną zawartość CGRAM stanowią kody szablonów znaków. Odzworowują one szablony zawarte w HD44780 wersji europejskiej (patrz **rys. 2**). Przy tym zawartość 16 początkowych komórek CGRAM stanowią szablony polskich znaków diakrytycznych, które zebrano w **tab. 1**.

Funkcją dodatkową jest możliwość używania kolorów. Aby z niej skorzystać, wystarczy wybrać aktualny kolor pisania (domyślnie biały) – jest on pamiętany aż do chwili jego zmiany. Informacja o kolorach poszczególnych pozycji ekrano-

Tab. 2. Protokół komunikacji VGA44780 (kolorem szarym zaznaczono rozszerzenia i zmiany względem HD44780)													
Instrukcja	Kod										Opis	Czas wykonania	
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0			
Czyść linię	0	0	0	0	0	0	0	0	0	0	Wypełnia wiersz pamięci DDRAM znakami spacji, przesuwając kursor oraz obraz do pozycji początkowej linii, włącza tryb inkrementacji adresu przy zapisie lub odczycie.	3 ms	
Czyść ekran	0	0	0	0	0	0	0	0	0	1	Wypełnia pamięć DDRAM znakami spacji, przesuwając kursor oraz obraz do pozycji początkowej ekranu (adres DDRAM równy 0), włącza tryb inkrementacji adresu przy zapisie lub odczycie.	165 ms	
Powrót kursora do początku ekranu	0	0	0	0	0	0	0	0	0	1	Przesuwa kursor i obraz do pozycji początkowej ekranu (adres DDRAM równy 0).	—*	
Powrót kursora do początku linii	0	0	0	0	0	0	0	0	0	1	Przesuwa kursor i obraz do pozycji początkowej linii.	—*	
Ustaw tryb wprowadzania	0	0	0	0	0	0	0	0	1	I/D	S	Określa działanie podejmowane po zapisie komórki DDRAM lub CGRAM. I/D=1: inkrementacja adresu (przy zapisie DDRAM kursor przesuwany się w prawo) I/D=0: dekrementacja adresu (przy zapisie DDRAM kursor przesuwany się w lewo) S=1: oprócz kursora przesuwany się też obraz (dotyczy wyłącznie operacji na pamięci DDRAM)	—*
Steruj wyświetlaniem	0	0	0	0	0	0	0	1	D	C	B	Włącza lub wyłącza niektóre funkcje wyświetlania. D=1: generacja obrazu włączona (monitor włączony) C=1: kursor włączony B=1: miganie kursora włączone	—*
Przesuń kursor lub obraz	0	0	0	0	0	0	1	S/C	R/L	Y/X	0	Przesuwa kursor lub obraz o jedną pozycję w wybranym kierunku. S/C=0: przesuwanie kursora S/C=1: przesuwanie obrazu R/L=0: przesuwanie w lewo lub w górę R/L=1: przesuwanie w prawo lub w dół Y/X=0: przesuwanie w osi X Y/X=1: przesuwanie w osi Y	—*
Zmień aktywną oś	0	0	0	0	0	0	1	0	0	Y/X	1	Zmienia tryb nastawy adresu DDRAM. Jeśli włączony jest tryb osi X, to późniejsza nastawa adresu DDRAM dotyczy położenia kursora w aktualnej linii (0...127). W przeciwnym razie nastawa ta dotyczy położenia kursora w aktualnej kolumnie (0...63). Y/X=0: aktywna oś X Y/X=1: aktywna oś Y	—*
Zmień ustawienia	0	0	0	0	0	1	DL	M	B	G	R	Określa interfejs i powiększenie, a także ustala aktualny kolor pisania (patrz tab. 3). DL=0: interfejs 4-bitowy DL=1: interfejs 8-bitowy M=0: powiększenie wyłączone (106x48) M=1: powiększenie włączone (53x24) B=1: włącza kolor niebieski G=1: włącza kolor zielony R=1: włącza kolor czerwony	—*
Zmień adres CGRAM	0	0	0	0	1	Nowy adres CGRAM					Ustala aktualny adres do pamięci CGRAM. Dane przesyłane po transmisji tej instrukcji (przy RS=1) będą zapisywane do pamięci CGRAM.	—*	
Zmień adres DDRAM	0	0	0	1	Nowy adres DDRAM (jeśli aktywna oś X – zakres 0..127; jeśli aktywna oś Y – zakres 0...63)					Ustala aktualny adres do pamięci DDRAM (zależnie od aktywnej osi – jego górną lub dolną część; patrz opis instrukcji zmiany aktywnej osi). Dane przesyłane po transmisji tej instrukcji (przy RS=1) będą zapisywane do pamięci DDRAM.	—*		
Czytaj adres i znacznik zajętości	0	1	BF	Aktualna wartość licznika adresowego (jego najmłodsza część)					Zwraca młodszą część wartości licznika adresowego i wartość znacznika zajętości. BF=1: układ jest zajęty (tylko podczas czyszczenia ekranu lub linii).			—*	
Zapisz CG lub DDRAM	1	0	Wartość zapisywana					Zapisuje wartość do pamięci CGRAM lub DDRAM pod aktualnym adresem i powoduje inkrementację lub dekrementację licznika adresowego.			—*		
Czytaj CG lub DDRAM	1	1	Wartość odczytywana					Odczytuje wartość z pamięci CGRAM lub DDRAM spod aktualnego adresu i powoduje inkrementację lub dekrementację licznika adresowego.			—*		
* – wartość zaniedbywalna względem prędkości interfejsu													

Tab. 3. Możliwe kolory pisania (dla instrukcji zmiany ustawień z tab. 2)

Bitowy kolor w rozkazy zmiany ustawień (patrz tab. 2) B G R	Kolor
0 0 0	czarny (niewidoczny)
0 0 1	czerwony
0 1 0	zielony
0 1 1	żółty
1 0 0	niebieski
1 0 1	magenta
1 1 0	cyjan
1 1 1	biały (domyślny)

wych przechowywana jest w pamięci DCRAM, która nie jest dostępna z poziomu interfejsu urządzenia.

Do mniej ważnych właściwości VGA44780 należałoby zaliczyć: możliwość czyszczenia pojedynczej linii ekranowej (oczywiście obok standardowej możliwości czyszczenia ekranu), funkcję powrotu kursora do początku linii (obok funkcji powrotu do początku ekranu) i opcję powiększania obrazu (dwukrotnego zwiększania czcionki – na

ekranie mieszczą się wówczas „tylko” 53x24 znaki).

Interfejs

Pod względem fizycznym interfejs omawianego urządzenia jest zgodny z HD44780. Przy zachowaniu zależności czasowych i kolejności sygnałów określonej w dokumentacji HD44780, układ powinien działać poprawnie. W praktyce można jednak skrócić cykle interfejsowe, zachowując minimalny czas stabilnej wartości na linii E równy około 150 ns. Konieczność ta wynika z faktu, że na wejściu układu zastosowano cyfrowy filtr antyzakłóceńowy. Układ ten śledzi poziom sygnału E, którego zmiana powoduje zatrzaśnięcie stanu magistrali DB pod warunkiem, że stan linii E jest stabilny jeszcze przez minimum 100 ns.

Protokół komunikacji

Jeśli znamy protokół komunikacji HD44780, przyswojenie protokołu VGA44780 zajmie krótką chwilę. Przyjrzyjmy się w tym celu zestawieniu w **tab. 2**. Zawarto w nim kody instrukcji wraz z ich opisami, przy czym kolorem szarym zaznaczono zmiany względem układu HD44780.

Inicjalizacji programowej układu dokonuje się w ten sam sposób, jaki opisywany jest w dokumentacji HD44780 (zapewnia on ustalenie właściwego trybu pracy interfejsu – układ może bowiem działać zarówno w trybie 4–, jak i 8-bitowym). Można jednak pokusić się o rezygnację z zalecanych czasów oczekiwania, bowiem jedynymi czynnościami trwającymi dłużej niż cykl dostępu

Uwaga: Po uruchomieniu modułu jego interfejs działa w trybie 8-bitowym, a sygnał wizji nie jest generowany (monitor pozostaje w trybie *stand-by*). Zachowanie to odpowiada działaniu sterownika HD44780, który po włączeniu zasilania pozostawia wyświetlacz LCD w stanie nieaktywnym. Aby włączyć generację obrazu należy przestać do modułu instrukcją sterującą wyświetlaniem (patrz tab. 2).

do magistrali są operacje czyszczenie ekranu i linii.

Przy analizie zawartości tab. 2 należy zwrócić uwagę na specyficzny sposób adresowania pamięci DDRAM (tj. ustalania pozycji kursora). Choć operacja adresowania wygląda identycznie jak dla HD44780, to może ona dotyczyć kolumny lub linii (może być przeprowadzana odpowiednio w osi X lub Y). Wyboru dokonuje się przesyłając uprzednio instrukcję aktywnej osi. Przykładowo, po żądaniu włączenia aktywnej osi X, każde późniejsze adresowanie DDRAM dotyczyć będzie znaku w aktualnej linii, tj. młodszej części adresu DDRAM (0...127). W przypadku chęci zmiany linii, należy włączyć aktywną oś Y i zaadresować DDRAM podając numer wybranej linii, tj. starszą część adresu (0...63).

Realizacja na płycie AVT-940

Schemat karty graficznej, czyli jednego z możliwych „ciał” omawianego projektu, przedstawiono na **rys. 3**. Układ nie wymaga dłuższego komentarza. Dużą jego część stanowi podstawowe środowisko pracy układu FPGA Spartan-3 XC3S200 – U8, na które składają się stabilizatory napięć zasilania (U1 – 2,5

WYKAZ ELEMENTÓW

Rezystory

R1, R3, R7, R9, R11, R12: 4,7 kΩ (SMD 0805)

R2, R5: 2,2 kΩ (SMD 0805)

R4, R6, R8: 270 Ω (SMD 0805)

R10: 3,3 kΩ (SMD 0805)

R13...R15: 100 Ω (SMD 0805)

Kondensatory

C1, C5...C7: 10 μF/25 V (SMD)

C2...C4: 22 μF/16 V (SMD)

C8...C13, C15...C21: 100 nF (SMD 0805)

C14, C22...C28: 47 nF (SMD 0805)

Półprzewodniki

U1: SPX1117-2,5

U2: SPX1117-3,3

U3: LM12

U4: BC847

U5...U7: 74LVC244ADW (SOP)

U8: XC3S200-4VQ100C

U9: XCF01SVO20C

G1: COF-50 (50 MHz, 5 V, DIP14)

Inne

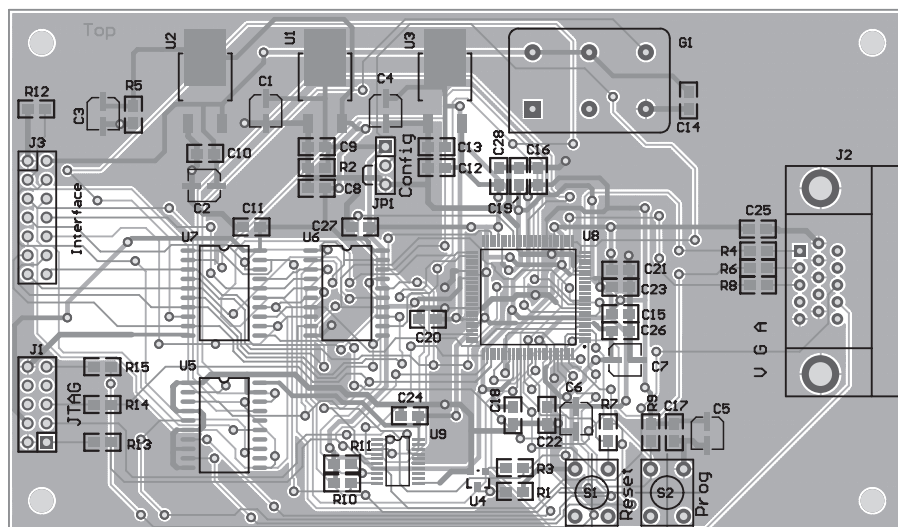
S1, S2: microswitch

J1: gniazdo wannowe 2x5 pin

J2: DB15-F dwurzędowe, do druku

J3: gniazdo wannowe 2x7 pin

JPI: 3x goldpin + zworka



Rys. 4. Schemat montażowy płytki drukowanej

V; U2 – 3,3 V; U3 – 1,2 V) i dedykowany konfigurator XCF01S – U9 w łańcuchu JTAG, zakończonym standardowym złączem JTAG – J1.

Sposób konfiguracji FPGA zależy od położenia zworki JP1. W pozycji domyślnej (piny M0 i M2 zwarte do masy) układ FPGA pracuje w nadrzędnym, szeregowym trybie konfiguracji, dzięki czemu *bitfile* pobierany jest z konfiguratora U9 automatycznie po włączeniu zasilania. Jeśli natomiast zworka znajduje się w pozycji przeciwnej (piny M0 i M2 zwarte z zasilaniem), układ FPGA znajduje się w trybie konfiguracji poprzez port JTAG, a konfigurator nie jest wykorzystywany.

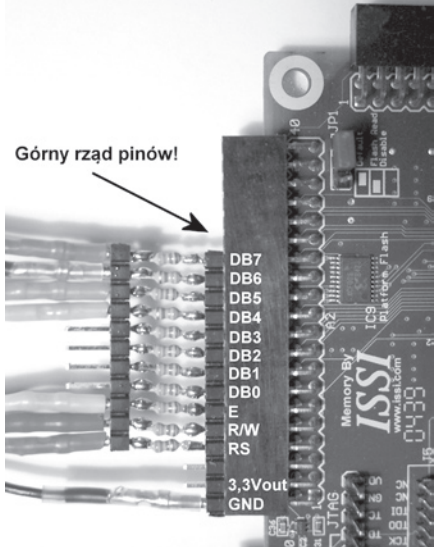
Pozostałą część karty graficznej stanowią elementy interfejsowe. Gniazdo monitora J2 dołączono do układu FPGA poprzez rezystory dopasowujące cyfrowe poziomy napięciowe do standardu VGA. Złącze J3 stanowi natomiast interfejs karty i jest jednocześnie wejściem napięcia zasilającego. Posiada ono organizację charakterystyczną dla modułów LCD – przypomniano ją w **tab. 4**. Dołączane poprzez J3 źródło zasilania musi być stabilizowane, mieć wartość 5 V i wydajność około 100 mA. Interfejs dostępny poprzez J3 działa w standardzie 3,3 V, ale dopuszczalne jest jego łączenie z układami w standardzie 5 V dzięki umieszczonym na karcie buforom. Należy zwrócić uwagę na jedną różnicę względem modułów LCD, która występuje w złączu J3 na pinie 3. W wyświetlaczach LCD wejście to służy do sterowania kontrastem, jednak w przypadku omawianego układu jest to wejście sygnału zerującego, aktywnego stanem wysokim (RESET). Aktywność na tym wejściu wymusza zerowanie stanu urządzenia, podobnie jak naciśnięcie klawisza S1. W praktyce wejście to jest jednak opcjonalne i nie musi być obsługiwane – zerowanie układu jest gwarantowane po włączeniu zasilania wskutek automatycznej konfiguracji FPGA. Konfiguracja może zostać wymuszona także w trakcie pracy urządzenia przez naciśnięcie klawisza S2.

Schemat montażowy pytki drukowanej urządzenia przestawiono na **rys. 4**. Płytę tę zaprojektowano jako moduł – złącza wejściowe i wyjściowe umieszczono po przeciwnych jej stronach. Montaż układu należy rozpocząć od wlutowania elemen-

Tab. 4. Organizacja interfejsu karty – złącze J3			
Pin	Symbol	Opis	
1	GND	Potencjał odniesienia	
2	VDD	Zasilanie 5 V	
3	RESET	Wejście sygnału zerującego, aktywnego stanem wysokim	Standard: 3,3 V Akceptowane: 5 V
4	RS	Wejście sygnału określającego znaczenia przesyłanej wartości (dane/instrukcja)	
5	R/!W	Wejście sygnału określającego kierunek transmisji (odczyt/lzapis)	
6	E	Wejście sygnału strobowującego	
7..14	DB0..DB7	8 linii danych	

Tab. 5. Sposób przyporządkowania sygnałów modelu do wyprowadzeń FPGA i podzespołów płyty uruchomieniowej firmy Digilent			
Sygnał	Port FPGA	Na płycie uruchomieniowej	Opis
reset	L14	Klawisz BTN3	Sygnał zerujący (aktywny H)
clock_50MHz_osc	T9	Scalony oscylator 50MHz	Sygnał zegarowy
bus_RS	D6	A2–7	Interfejs HD44780
bus_RW	E7	A2–9	
bus_E	D7	A2–11	
bus_DB0	D8	A2–13	
bus_DB1	D10	A2–15	
bus_DB2	B4	A2–17	
bus_DB3	B5	A2–19	
bus_DB4	B6	A2–21	
bus_DB5	A7	A2–23	
bus_DB6	A8	A2–25	Interfejs VGA
bus_DB7	B10	A2–27	
disp_red	R12	Złącze VGA (DB15)	
disp_green	T12		
disp_blue	R11		
disp_hs	R9		
disp_vs	T10	A2–1	Masa układu
GND	GND		

tów układu zasilania i sprawdzenia poprawności jego działania (w układzie występują aż cztery napięcia zasilające, z czego trzy są wytwarzane przez zintegrowane stabilizatory). Nie wolno zapomnieć przy tym o wlutowaniu rezystorów R2 i R5, stanowiących obciążenie stabilizatorów U1 i U2. Na płycie nie przewidziano rezystora obciążającego stabilizator napięcia 1,2 V (U3), dlatego przy testach element ten należy obciążyć dodatkowym rezystorem o oporności kilkaset omów. Po stwierdzeniu poprawności napięć zasilających należy wlutować resztę elementów, zaczynając od sprawiających najwięcej kłopotu układów U8 i U9. Ponieważ na łamach EP ukazał się w ostatnim czasie cykl artykułów dotyczących lutowania podzespołów w obudowach SMD, opis ograniczony zostanie tutaj do przypadku, kiedy do dyspozycji pozostaje wyłącznie tradycyjna stacja lutownicza lub



Fot. 5. Sposób przyporządkowania wyprowadzeń złącza A2 do interfejsu VGA44780 na płycie uruchomieniowej firmy Digilent (zestaw rezystorów 3,3 kΩ zastępuje konwerter poziomów 3,3/5 V – jest to rozwiązanie testowe, nie zalecane)

lutownica transformatorowa. W takich warunkach montaż układów SMD o gęstym rastrze wyprowadzeń można zrealizować metodą zalewania rzędu wyprowadzeń lutowni i późniejszego odsysania nadmiaru cyny z użyciem plecionki miedzianej, nasączonej ciekłym topnikiem. W procesie tym należy zachowywać szczególną ostrożność, aby nie przegrzewać układu scalonego, chłodząc go przy każdej sposobności podmuchem zimnego powietrza.

Realizacja na płycie firmy Digilent

Przyjrzyjmy się teraz alternatywnemu sposobowi praktycznej realizacji projektu z użyciem płyty uruchomieniowej *Spartan-3 Starter Kit Board* firmy Digilent (recenzja w EP11/04, str. 43). Zawiera ona m.in.: układ FPGA Spartan 3, pamięć konfiguracyjną, generator sygnału taktującego o częstotliwości 50 MHz, złącza uniwersalne, a nawet gniazdo dla monitora VGA. Platforma ta z dużym zapasem spełnia wymagania omawianego projektu.

Płyta uruchomieniowa w konfiguracji domyślnej jest w pełni gotowa do wykorzystania jako platforma omawianego projektu. Niezbędną czynnością będzie jednak jej prze-programowanie, o czym dalej. Oczywiście, konieczne będzie też jej odpowiednie połączenie z nadrzędnym układem sterującym, do czego wykorzystać należy złącze A2 płyty. Funkcje przyporządkowane poszczególnym wyprowadzeniom tego złącza opisano w **tab. 5**. W skrócie, wystarczy połączyć układ nadrzędny z płytą uruchomieniową za pośrednictwem złącza A2 tak, jak pokazano na **fol. 5**. Monitor VGA należy dołączyć do przeznaczonego mu złącza DB15. Do zerowania modułu służy klawisz BTN3, a do wymuszenia ręcznej rekonfiguracji FPGA – klawisz PROG.

Programowanie konfiguratora

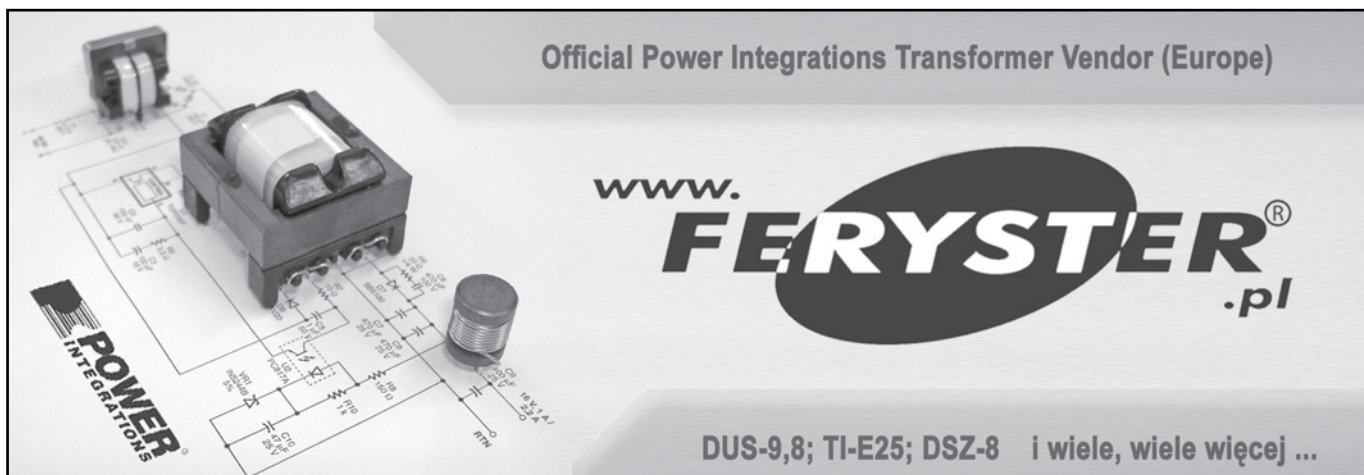
Na koniec omówmy pokrótce kwestię programowania pamięci konfiguracyjnej układu FPGA. Niezbędnym narzędziem jest programator JTAG (np. ZL11PRG firmy BTC)

Na płycie uruchomieniowej firmy Digilent interfejs VGA44780 jest dołączony do układu FPGA bez pośrednictwa buforów. Konsekwencją tego jest konieczność obsługi tego interfejsu w standardzie LVTTLL – 3,3 V. Bezpośrednie dołączenie do płyty sygnałów w standardzie 5 V grozi uszkodzeniem elementu FPGA.

oraz program iMPACT z pakietu Xilinx ISE. Za pomocą tego zestawu należy załadować dostępną na płycie pamięć konfiguracyjną (XCF01S lub XCF02S) plikiem „VGA44780 – AVT.mcs” lub „VGA44780 – DIGILENT.mcs”, zależnie od wykorzystywanej platformy sprzętowej. Po tej operacji urządzenie powinno być gotowe do pracy.

Rafał Baranowski, EP
Rafal.Baranowski@ep.com.pl

Źródła HDL modułu VGA44780, bit-file, zawartość pamięci konfiguracyjnej FPGA oraz bibliotekę procedur asemblerowych dla mikrokontrolerów AVR publikujemy na płycie CD-EP 5/2006B oraz w Internecie pod adresem: <http://baranowski.ep.com.pl/vga-44780.zip>.



Official Power Integrations Transformer Vendor (Europe)

www.**FERYSTER**.pl

DUS-9,8; TI-E25; DSZ-8 i wiele, wiele więcej ...



ALFINE **ANALOG DEVICES**

analog is everywhere.™

Industrial Applications Medical Applications Instrumentation Applications

ALFINE P.E.P. • ul. Poznańska 30-32 • 62-080 Tarnowo Podgórne
 tel.: (61) 89-66-934, 89-66-936 • fax: (61) 81-64-414, 81-64-076 • e-mail: analog@alfine.pl • <http://www.alfine.pl>